

アプリケーションマニュアル

Real Time Clock Module

RX-8731LC

エプソントヨコム株式会社

● **本マニュアルのご使用につきましては、次の点にご留意願います。**

- 1) 本マニュアルの内容については、予告なく変更することがあります。量産設計の際は最新情報をご確認ください。
- 2) 本マニュアルの一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
- 3) 本マニュアルに記載された応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。
また、本カタログによって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
- 4) 特性表の数値の大小は、数値線上の大小関係で表します。
- 5) 輸出管理について
 - (1) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める必要な手続をおとりください。
 - (2) 大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を輸出等しないでください。また、これらに使用するおそれのある第三者に提供しないでください。
- 6) 製品は一般電子機器に使用されることを意図し設計されたものです。
特別に高信頼性を必要とする以下の特定用途に使用する場合は、弊社の事前承諾を必ず得てください。
承諾無き場合は如何なる責任も負いかねることがあります。
 - 1 宇宙機器（人工衛星・ロケット等）2 輸送車両並びにその制御機器（自動車・航空機・列車・船舶等）
 - 3 生命維持を目的とした医療機器4 海底中継機器5 発電所制御機器6 防災・防犯装置7 交通用機器
 - 8 その他；1～7と同等の信頼性を必要とする用途
- 7) 製品呼称、識別マークにつきましては順次統合していく予定ですが本マニュアルにおきましては統合前に両社が使用していた呼称、識別マークを継承しています。正式型番、識別マーク等詳細につきましては仕様書等でご確認いただけますようお願いいたします。

本マニュアルに記載されているブランド名または製品名は、それらの所有者の商標もしくは登録商標です。

目次

1. 概要	1
2. ブロック図	1
3. 端子説明	2
3.1. 端子配置	2
3.2. 端子機能	2
4. 外形寸法図 / マーキングレイアウト	3
5. 絶対最大定格	4
6. 推奨動作条件	4
7. 周波数特性	4
8. 電気的特性	5
8.1. DC 電気的特性	5
8.2. AC 電気的特性	6
8.3. E ² PROM 特性	7
9. 使用方法	8
9.1. レジスタテーブル	8
9.2. レジスタ説明	9
9.3. E ² PROM と ID-ROM	16
9.4. 定周期タイマ割り込み機能	17
9.5. アラーム割り込み機能	21
9.6. 時刻更新割り込み機能	24
9.7. 割り込み機能動作時の /IRQ "L" 割り込み出力に関して	26
9.8. FOUT 機能 (クロック出力機能)	26
9.9. データの リード/ライト	28
9.10. バックアップへの移行 及び 復帰	31
10. 参考資料	32
10.1. 参考データ	32
10.2. 一般的なマイコンとの接続	32
11. 取り扱い上の注意事項	33

E²PROM 内蔵 I²C-Bus インタフェース リアルタイムクロック IC

RX – 8731LC

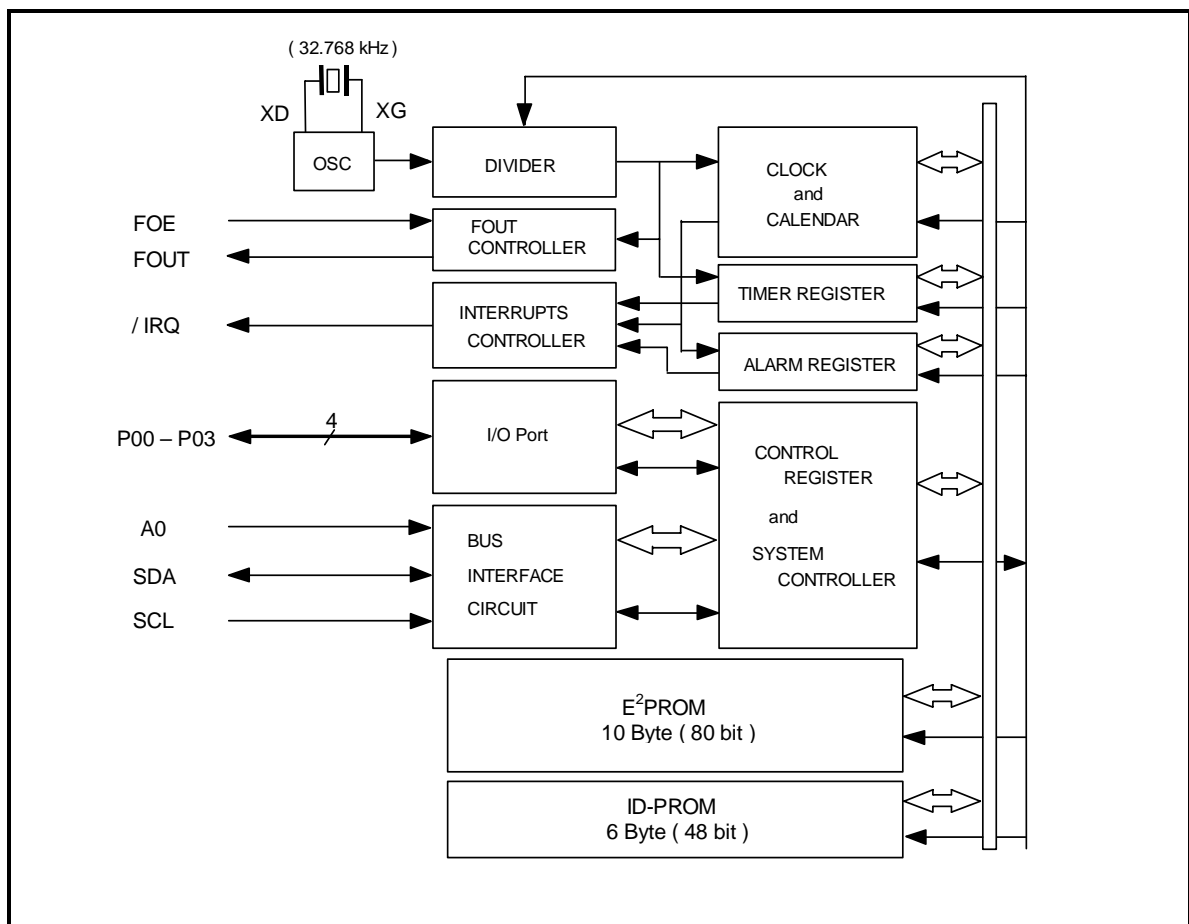
- リアルタイムクロック : 時計・カレンダー, 自動うるう年補正, 時刻更新割り込み, アラーム割り込み, タイマ割り込み 等の 豊富な機能
- E²PROM / ID-ROM : 10 byte E²PROM, 6 byte ID-ROM 内蔵
- プログラマブル I/O : 4 Port ユーザプログラマブル
- 32.768 kHz 出力 : OE 機能付き C-MOS 出力
- インタフェース方式 : I²C インタフェース
- インタフェース電圧範囲 : 1.7 V ~ 5.5 V (ただし E²PROM 書込み時は 1.8 V ~ 5.5 V)
- 計時 (保持) 電圧範囲 : 1.3 V ~ 5.5 V
- バックアップ時消費電流 : 0.35 μ A / 3 V_{Typ}

I²C-Bus は、NXP Semiconductors の商標です。

1. 概要

本 IC は、E²PROM を内蔵した I²C インタフェース方式のリアルタイムクロック IC です。リアルタイムクロック部は、秒から年までの自動うるう年補正 Clock & Calendar 回路, 時刻アラーム, インターバルタイマ, 時刻更新割り込み, 32.768 kHz 出力 等の豊富な機能を備えています。さらに 12byte の E²PROM, 4byte の ID-ROM, 4port のユーザプログラマブル I/O 端子を装備しており、携帯オーディオプレーヤ, ハンディターミナル, その他の小型電子機器等の用途に最適です。

2. ブロック図



3. 端子説明

3.1. 端子配置

1. FOE		12. VDD
2. P00		11. P01
3. SDA		10. P02
4. SCL		9. P03
5. A0		8. /IRQ
6. GND		7. FOUT

3.2. 端子機能

端子名	入出力	機能																						
SDA	双方向	I ² C 通信用データ入出力端子。SCL 信号に同期して、アドレス、データなどを入出力します。この端子は出力時オープンドレインですので、信号線の容量により適切なプルアップ抵抗を接続してください。																						
SCL	入力	I ² C 通信用のシリアルクロック入力端子です。																						
A0	入力	アドレス入力です。本デバイスはアクセスデバイスの選択(通常のチップセレクトに相当)を I ² C インタフェースによって行います。この端子は、I ² C の 7bit 構成によるデバイスアドレスの最下位ビットの論理を選択します。																						
P00, P01	双方向	プログラマブル I/O ポートです。出力ポート設定では、N-ch オープンドレイン出力となります。初期電源投入時、P00, P01端子は入力ポートとなります。																						
P02, P03	双方向	プログラマブル I/O ポートです。出力ポートは、C-MOS 出力となります。初期電源投入時、P02, P03端子は出力ポートとなります。																						
FOUT	出力	FOUT 端子は、出力制御付きのクロック出力端子 (C-MOS 出力) です。 FOE 端子は、FSEL1 ビット、FSEL0 ビットと組み合わせることで FOUT 出力端子の出力状態を制御するための入力端子です。 FOE 入力端子、FSEL1 ビット、FSEL0 ビットの組み合わせにより、FOUT 出力端子から 32.768 kHz, 1024 Hz, 1 Hz を選択出力する または 出力を停止させることができます。出力停止時の FOUT 出力端子は ハイインピーダンスになります。																						
FOE	入力	<table border="1"> <thead> <tr> <th>FOE pin input</th> <th>FSEL1 bit</th> <th>FSEL0 bit</th> <th>FOUT pin output</th> </tr> </thead> <tbody> <tr> <td rowspan="3">X (Don't care)</td> <td>0</td> <td>0</td> <td>32768 Hz Output (C-MOS output)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1024 Hz Output (C-MOS output)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1 Hz Output (C-MOS output)</td> </tr> <tr> <td>"H"</td> <td>1</td> <td>1</td> <td>32768 Hz Output (C-MOS output) *</td> </tr> <tr> <td>"L"</td> <td>1</td> <td>1</td> <td>OFF (high impedance)</td> </tr> </tbody> </table> <p>* 初期電源投入時 (0V からの電源投入時) に FOE 入力端子 = "H" であったときは、パワーオンリセット機能により 32.768 kHz が選択出力されます。</p>	FOE pin input	FSEL1 bit	FSEL0 bit	FOUT pin output	X (Don't care)	0	0	32768 Hz Output (C-MOS output)	0	1	1024 Hz Output (C-MOS output)	1	0	1 Hz Output (C-MOS output)	"H"	1	1	32768 Hz Output (C-MOS output) *	"L"	1	1	OFF (high impedance)
FOE pin input	FSEL1 bit	FSEL0 bit	FOUT pin output																					
X (Don't care)	0	0	32768 Hz Output (C-MOS output)																					
	0	1	1024 Hz Output (C-MOS output)																					
	1	0	1 Hz Output (C-MOS output)																					
"H"	1	1	32768 Hz Output (C-MOS output) *																					
"L"	1	1	OFF (high impedance)																					
/IRQ	出力	アラーム、インターバルタイマ、時刻更新などの 割り込み信号 ("L" レベル) を出力します。この端子は、N-ch オープンドレイン出力です。																						
VDD	-	電源のプラス側に接続します。																						
GND	-	グラウンドに接続します。																						

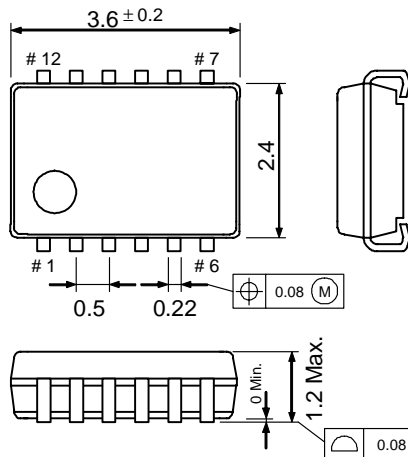
注) VDD - GND 間 直近に 0.1 μF 以上のバスコンを必ず接続してください。

4. 外形寸法図 / マーキングレイアウト

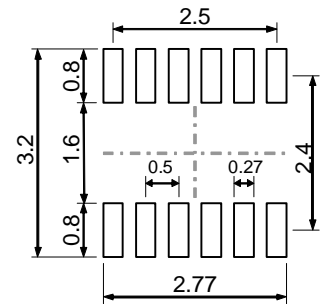
4.1. 外形寸法図

RX - 8731 LC (VSOJ - 12pin)

• 外形寸法図



• 推奨はんだ付けパターン図



本製品は、裏面に硝子を使用しております。
(下記注意事項を参照ください)

Unit : mm

注意事項)

本製品は 裏面 (* 部) に硝子を使用しておりますので、次について 十分に配慮いただけますようお願いいたします。

1) 実装機

使用機器, 条件等によっては、実装時の衝撃力により 製品の破壊を招く場合があります。

ご使用前には 必ず、実装時の製品への負荷が極力少なくなる条件 (基板上への搭載速度を遅くする, チャックを弱くするなど) を確認していただいてから ご使用ください。条件変更時も、同様の確認をしていただいてから ご使用ください。

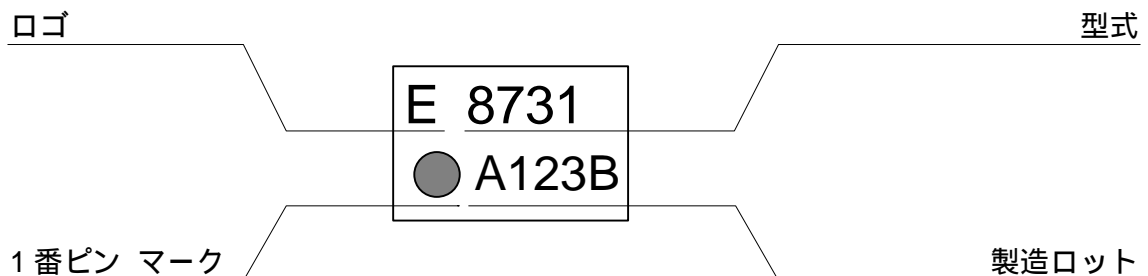
本製品と実装基板の間に異物などがありますと、製品の破壊を招く場合があります。 実装時には 異物にも ご注意ください。

2) 製品実装後の接着剤の使用禁止

製品を基板実装後に、アンダーフィル等の接着剤が 実装面と製品裏面のガラス面の間に侵入すると、その後、接着剤の熱膨張などにより 硝子が割れる可能性があります。この場合は、水晶発振が停止しますので、接着剤は ご使用を中止していただくが、本製品に接着剤が接近しないように、実装上の配慮をお願いいたします。

4.2. マーキングレイアウト

RX - 8731 LC (VSOJ - 12pin)



* 表示内容は、捺印と表示の大略を示すもので、字形・大きさ および 位置の詳細を規定するものではありません。

5. 絶対最大定格

GND = 0 V

項目	記号	条件	定格値	単位
電源電圧	V _{DD}	V _{DD} -GND 間	-0.3 ~ +6.5	V
入力電圧	V _{IN1}	FOE, A0, P0x, SCL, SDA 端子	GND-0.3 ~ +6.5	V
出力電圧	V _{OUT1}	FOUT, P0x, SDA, /IRQ 端子	GND-0.3 ~ +6.5	V
保存温度	T _{STG}	梱包状態を除く 単品での保存	-55 ~ +125	°C

6. 推奨動作条件

GND = 0 V

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧	V _{DD}	-	1.7	3.0	5.5	V
計時電源電圧	V _{CLK}	T _a = -40 °C ~ +85 °C	1.3	3.0	5.5	V
オフ時印加電圧	V _{PUP}	SDA, /IRQ, P00, P01 端子			5.5	V
動作温度範囲	T _{OPR}	結露無きこと	-40	+25	+85	°C

7. 周波数特性

特記無き場合、GND = 0 V , T_a = +25 °C , V_{DD} = 3.0 V

項目	記号	条件	Min.	Typ.	Max.	Unit
出力周波数	f _o			32.768 (Typ.)		kHz
周波数偏差	$\Delta f / f$	T _a = +25 °C V _{DD} = 3.0 V		5 ± 23 (*1)(*2)		× 10 ⁻⁶
周波数電圧特性	f / V	T _a = +25 °C V _{DD} = 2.0 V ~ 5.0 V	-2		+2	× 10 ⁻⁶ / V
周波数温度特性	T _{op}	T _a = -20 °C to +70 °C V _{DD} = 3.0 V ; +25 °C 基準	-120		+10	× 10 ⁻⁶
発振開始時間	t _{STA}	T _a = +25 °C V _{DD} = 1.7 V		0.5	1.0	s
		T _a = -40 °C ~ +85 °C V _{DD} = 1.7 V			3.0	s
エージング	$\Delta f / f$	T _a = +25 °C V _{DD} = 3.0 V、初年度	-5		+5	× 10 ⁻⁶ / year

*1) 月差 1 分相当。(オフセット値を除く)

*2) リフロー処理 3 回による 周波数変動分を含む。リフロー処理は、弊社条件による。

8. 電気的特性

8.1. DC 電気的特性

特記無き場合、GND = 0 V, VDD = 1.7 V ~ 5.5 V, Ta = -40 °C ~ +85 °C

項目	記号	条件		Min.	Typ.	Max.	単位
消費電流(1)	IDD1	fSCL = 0 Hz, /IRQ = OFF FOUT : OFF (Hi - z) Ta = -40 °C ~ +70 °C	VDD = 5 V		450	900	nA
消費電流(2)	IDD2		VDD = 3 V		350	800	
消費電流(3)	IDD3	fSCL = 0 Hz, /IRQ = OFF FOUT : OFF (Hi - z)	VDD = 5 V		450	1500	nA
消費電流(4)	IDD4		VDD = 3 V		350	1400	
消費電流(5)	IDD5	fSCL = 0 Hz, /IRQ = OFF, FOE = VDD FOUT : 32.768 kHz ON, CL = 0 pF	VDD = 5 V		3.0	6.0	μA
消費電流(6)	IDD6		VDD = 3 V		2.0	4.0	
消費電流(7)	IDD7	fSCL = 0 Hz, /IRQ = OFF, FOE = VDD FOUT : 32.768 kHz ON, CL = 30 pF	VDD = 5 V		8.0	16.0	μA
消費電流(8)	IDD8		VDD = 3 V		5.0	10.0	
"H" 入力電圧	VIH	入力端子		0.8 × VDD		VDD + 0.3	V
"L" 入力電圧	VIL	入力端子		GND - 0.3		0.2 × VDD	V
"H" 出力電圧	VOH1	FOUT, P0x 端子	VDD=5 V, IOH=-1 mA	4.5		5.0	V
	VOH2		VDD=3 V, IOH=-1 mA	2.2		3.0	
	VOH3		VDD=3 V, IOH=-100 μA	2.9		3.0	
"L" 出力電圧	VOL1	FOUT, P0x 端子	VDD=5 V, IOL=1 mA	GND		GND+0.5	V
	VOL2		VDD=3 V, IOL=1 mA	GND		GND+0.8	
	VOL3		VDD=3 V, IOL=100 μA	GND		GND+0.1	
	VOL4	/IRQ 端子	VDD=5 V, IOL=1 mA	GND		GND+0.25	V
	VOL5		VDD=3 V, IOL=1 mA	GND		GND+0.4	
	VOL6	SDA 端子	VDD ≥ 2 V, IOL=3 mA	GND		GND+0.4	V
入力 リーク電流	ILK	入力端子, VIN = VDD or GND		-0.5		0.5	μA
出力 リーク電流	IOZ	出力端子, VOUT = VDD or GND		-0.5		0.5	μA

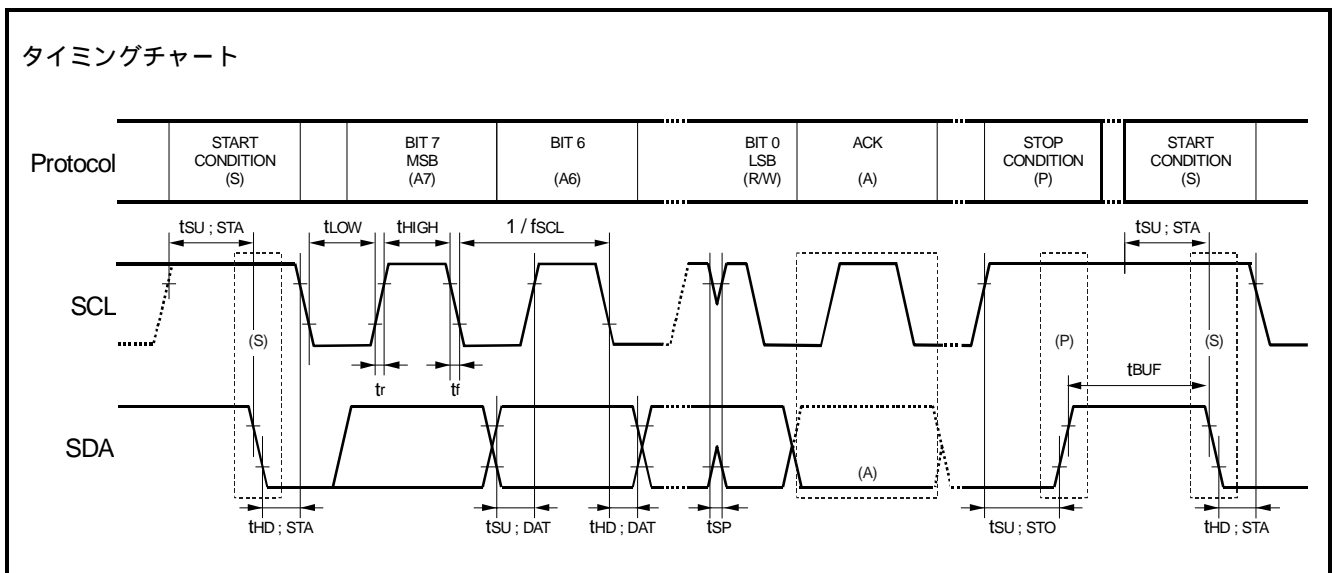
8.2. AC 電気的特性

8.2.1. AC 電気的特性(1)

特記無き場合、GND = 0 V, V_{DD} = 1.7 V ~ 5.5 V, Ta = -40 °C ~ +85 °C

項目	記号	100 kHz アクセス (Standard-Mode)		400 kHz アクセス (Fast-Mode)		単位
		Min.	Max.	Min.	Max.	
SCL クロック周波数	f _{SCL}		100		400	kHz
開始条件 セットアップ時間	t _{SU;STA}	4.7		0.6		μs
開始条件 ホールド時間	t _{HD;STA}	4.0		0.6		μs
データ セットアップ時間	t _{SU;DAT}	250		100		ns
データ ホールド時間	t _{HD;DAT}	0		0		ns
停止条件 セットアップ時間	t _{SU;STO}	4.0		0.6		μs
開始条件と停止条件の間の バスマフリー時間	t _{BUF}	4.7		1.3		μs
SCL " L " 時間	t _{LOW}	4.7		1.3		μs
SCL " H " 時間	t _{HIGH}	4.0		0.6		μs
SCL, SDA 立ち上がり時間	t _r		1.0		0.3	μs
SCL, SDA 立ち下がり時間	t _f		0.3		0.3	μs

タイミングチャート



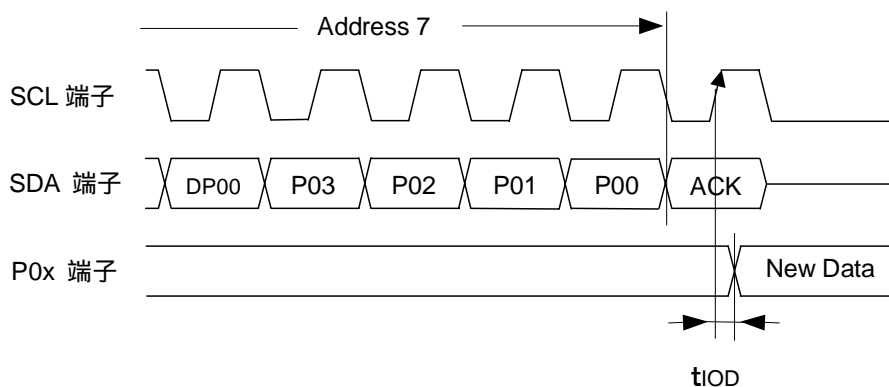
注意：

- (1) 本デバイスへのアクセスは、[START コンディションの送信からアクセス終了後の STOP コンディション送信までの一連の通信] を 1 秒以内に終了してください。
1 秒以上の時間がかかった場合は、内部の監視タイマーにより RTC の I²C バスインターフェースがリセットされます。
- (2) データ書き込み時は、8 ビット単位のデータを入力する必要があります。8 ビット単位のデータ入力の途中で中断状態となった時は、その 8 ビットデータは正常な書き込みができません。

8.2.2. AC 電气的特性(2)

特記無き場合、GND=0 V, V_{DD}=1.7 V ~ 5.5 V, T_a= -40 °C ~ +85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
I/O ポート遅延時間	t _{IOD}	P0x 端子 C _L = 30 pF			300	ns
FOUT デューティ	Duty	50% V _{DD} レベル	40	50	60	%

8.3. E²PROM 特性特記無き場合、GND=0 V, V_{DD}=1.7 V ~ 5.5 V, T_a= -40 °C ~ +85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
E ² PROM 書込み時 電圧範囲 ^{*1}	V _{EPW}	V _{DD} 端子	1.8		5.5	V
E ² PROM 書込み時 消費電流	I _{DD9}	E ² PROM 書き込み時			2	mA
初期電源投入後 アクセス可能時間 ^{*2}	t _{PUA}	-			30	ms
E ² PROM 書込み時間 ^{*3}	t _{WR}	-			1.8	ms
E ² PROM 書換え回数	N _w	-	10 ⁵			回
E ² PROM データ保持	T _{DR}	-	10			年

*1 : E²PROM へのデータの書込みは、V_{EPW} の電圧範囲で行う必要があります。

*2 : 初期電源投入後、t_{PUA} (30ms)間は E²PROM へのアクセスは出来ません。
E²PROM へのデータの書込みには内蔵水晶発振クロックを利用しているため、初期電源投入から内蔵水晶発振器が動作するまで (t_{STA})の間は E²PROM への書込みは出来ません。

*3 : E²PROM へはバイト単位の書込みのみ可能です。また次の書込みまで t_{WR} (1.8ms)の Wait 時間が必要です。

9. 使用方法

9.1. レジスタテーブル

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	note
00	SEC	○	40	20	10	8	4	2	1	*3
01	MIN	○	40	20	10	8	4	2	1	*3
02	HOUR	○	○	20	10	8	4	2	1	*3
03	WEEK	○	6	5	4	3	2	1	0	*3
04	DAY	○	○	20	10	8	4	2	1	*3
05	MONTH	○	○	○	10	8	4	2	1	*3
06	YEAR	80	40	20	10	8	4	2	1	
07	I/O Port DDR / Data	DP03	DP02	DP01	DP00	P03	P02	P01	P00	*5
08	MIN Alarm	AE	40	20	10	8	4	2	1	
09	HOUR Alarm	AE	•	20	10	8	4	2	1	*4
0A	WEEK Alarm	AE	6	5	4	3	2	1	0	*4
	DAY Alarm		•	20	10	8	4	2	1	
0B	Timer Counter 0	128	64	32	16	8	4	2	1	–
0C	Timer Counter 1	•	•	•	•	2048	1024	512	256	*4
0D	Extension Register	TEST	WADA	USEL	TE	FSEL1	FSEL0	TSEL1	TSEL0	*1, *3
0E	Flag Register	TEST	○	UF	TF	AF	○	VLF	○	*1, *3
0F	Control Register	TEST	EWP	UIE	TIE	AIE	○	STOP	○	*3, *6

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	note
10 19	E ² PROM	80 bit (10 byte x 8 bit)								*6
1A 1F	ID-ROM	48 bit (6 byte x 8 bit)								*7

注) 0Vからの初期電源投入時 および VLF ビット読み出し時の結果が VLF = "1" のときは、必ずレジスタ初期化をおこなってから 使用してください。
その際、日付・時間として正しくないデータの設定はしないでください。その場合の計時動作は保証できません。

- *1. 0Vからの初期電源投入時、VLF, FSEL1, FSEL0 ビットは "1" に、TE ビットは "0" に初期化されます。
- *2. **TEST** ビットは テスト用ビットです。書き込み時は、必ず "0" を設定してください。
- *3. '○' マークは、初期設定以降 "0" にて ご使用ください。
- *4. '•' マークは、任意データの R/W が可能な RAM bit です。
- *5. 0Vからの初期電源投入時、レジスタ 07 の値は "1100 1011" (cb h) に初期化され、P00,01 は入力ポート、P02,03 は出力ポートとなります。また、P02 は Low, P03 は High 出力となります。
- *6. EWP ビットは E²PROM のライトプロテクト用ビットです。EWP ビットを "1" に設定した時、E²PROM への書き込み操作が許可されます。初期電源投入時、EWP ビットは "0" に初期化されます。
E²PROM へのオートインクリメントによる連続書き込みはできません。また、Byte 書き込み後、次の書き込みまで 1.8ms の Wait が必要です。
- *7. ID-ROM には個別にユニークな ID 情報が工場出荷時に書き込まれています。エンドユーザーは読み出しのみ可能です。

9.2. レジスタ説明

9.2.1. 時計カウンタ (Reg - 00[h] ~ 02[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
00	SEC	○	40	20	10	8	4	2	1
01	MIN	○	40	20	10	8	4	2	1
02	HOUR	○	○	20	10	8	4	2	1

- [秒], [分], [時] を計時します。
- データ形式はBCD形式で、たとえば [SEC]レジスタが " 0101 1001 " ならば 59[秒]を意味します。
- * 存在しない時刻データが書き込まれた場合は 正常な動作ができない原因になりますので ご注意ください。

1) [SEC] レジスタ

[秒] を計時するカウンタです。

00 秒, 01 秒, 02 秒 ~ 59 秒, 00 秒, 01 秒 ~ の順に更新します。

* [SEC]レジスタに書き込みを行うと、1 秒未満の内部カウンタ (2 kHz~1 Hz) が 0 リセットされます。

2) [MIN] レジスタ

[分] を計時するカウンタです。

00 分, 01 分, 02 分 ~ 59 分, 00 分, 01 分 ~ の順に更新します。

3) [HOUR] レジスタ

[時] を、24 時間制で計時するカウンタです。

00 時, 01 時, 02 時 ~ 23 時, 00 時, 01 時 ~ の順に更新します。

9.2.2. 曜日カウンタ (Reg - 03[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
03	WEEK	○	6	5	4	3	2	1	0

- [曜 (曜日)] を bit 0 ~ bit 6 までの 7 ビットにて示します。
01h 曜 → 02h 曜 → 04h 曜 → 08h 曜 → 10h 曜 → 20h 曜 → 40h 曜 (→ 01h 曜 → 02h 曜 ~) の順に更新します。
- 曜日と値は 次のように対応しています。

[WEEK]	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	曜日	Data [h]
Write / Read	0	0	0	0	0	0	0	1	日	01 h
	0	0	0	0	0	0	1	0	月	02 h
	0	0	0	0	0	1	0	0	火	04 h
	0	0	0	0	1	0	0	0	水	08 h
	0	0	0	1	0	0	0	0	木	10 h
	0	0	1	0	0	0	0	0	金	20 h
	0	1	0	0	0	0	0	0	土	40 h
Write 禁止	* 複数の曜日を " 1 " に設定しないでください。 また、上記 7 種以外の設定は 正常な動作ができない原因 になりますので ご注意ください。								-	-

9.2.3. カレンダー・カウンタ (Reg - 04[h] ~ 06[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
04	DAY	○	○	20	10	8	4	2	1
05	MONTH	○	○	○	10	8	4	2	1
06	YEAR	80	40	20	10	8	4	2	1

- 2001年01月01日～2099年12月31日までの[日],[月],[年]を、オートカレンダー機能によって更新します。
- データ形式はBCD形式で、たとえば[DAY]レジスタが"0011 0001"ならば31日を意味します。
- 存在しないカレンダーデータが書き込まれた場合は正常な動作ができない原因になりますので ご注意ください。

1) [DAY] レジスタ

- [日]のカウンタです。
月によって更新状況が異なります。

* [年]が4の倍数のとき(04年, 08年, 12年 - 88年, 92年, 96年)はうるう年になりますので、その年の02月の[日]の更新は02月01日, 02日, 03日～28日, 29日 → 03月01日～となります。

DAY	月	更新内容
Write / Read	1, 3, 5, 7, 8, 12月	01日, 02日, 03日～30日, 31日, 01日～
	4, 6, 9, 11月	01日, 02日, 03日～30日, 01日, 02日～
	2月 かつ 通常年	01日, 02日, 03日～28日, 01日, 02日～
	2月 かつ うるう年	01日, 02日, 03日～28日, 29日, 01日～

2) [MONTH] レジスタ

- [月]のカウンタです。01月, 02月, 03月～12月, 01月, 02月～の順に更新します。

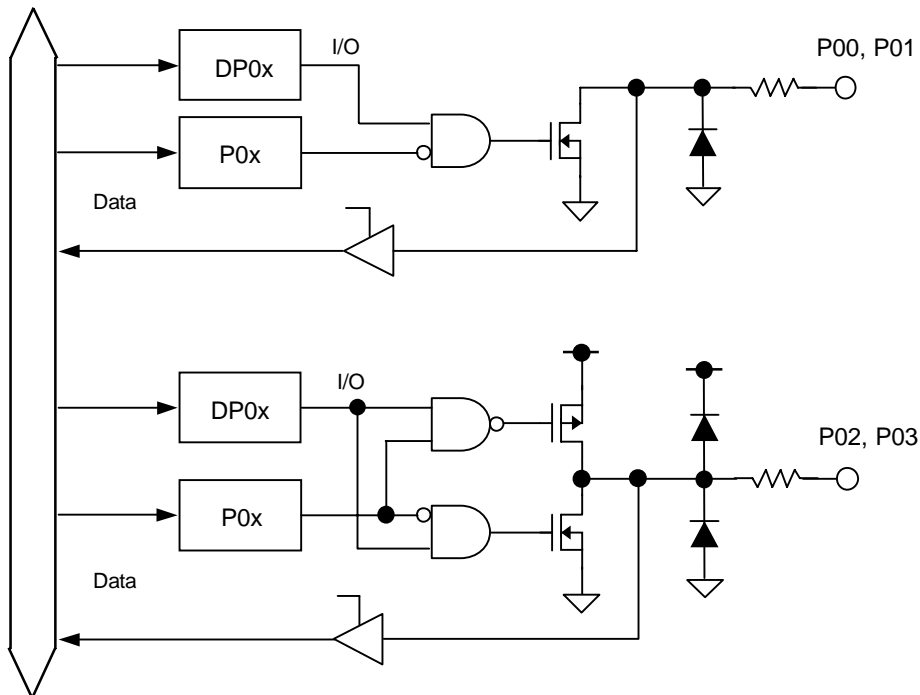
3) [YEAR] レジスタ

- [年]のカウンタです。00年, 01年, 02年～99年, 00年, 01年～の順に更新します。
- [年]が4の倍数のとき(04年, 08年, 12年 - 88年, 92年, 96年)はうるう年になります。

9.2.4. I/O ポート設定レジスタ (Reg - 07[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
07	I/O Port DDR/Data	DP03	DP02	DP01	DP00	P03	P02	P01	P00

- プログラマブル I/O ポート用のレジスタです。
DP00 ~ DP03 ビットでそれぞれのポートの入出力設定をおこない、P00 ~ P03 がデータビットとなります。



- 初期電源投入時、レジスタ 07 の値は"1100 1011"(cb h)に初期化され、00,01 は入力ポート、P02,03 は出力ポートとなります。
また、P02 は Low, P03 は High 出力となります。

Pin	I/O	Data	condition
P00	In	1	Hi-Z (N-ch Open drain)
P01	In	1	Hi-Z (N-ch Open drain)
P02	Out	0	Low level (C-MOS)
P03	Out	1	High level (C-MOS)

- P00~P03 のデータを読み出した場合、対応する端子の状態が読み出せます。
(DP00~DP03 はレジスタの内容が読み出せます)
- ポートへ書き込みを行った場合、データレジスタ P00~P03 へデータがラッチされます。
このときそれに対応する設定ビット DP00~DP03 が"1"ならば、P00~P03 のデータが端子に出力され、
"0"ならば(入力ポート設定の為) データは出力されません。
- 入力モードから出力モードに切り替わった場合 (DPx : "0"→"1")、データレジスタ P0x にラッチ
されているデータが端子に出力されます。

9.2.5. アラームレジスタ (Reg - 08[h] ~ 0A[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
08	MIN Alarm	AE	40	20	10	8	4	2	1
09	HOUR Alarm	AE	•	20	10	8	4	2	1
0A	WEEK Alarm	AE	6	5	4	3	2	1	0
	DAY Alarm		•	20	10	8	4	2	1

- アラーム割り込み機能を使用して [日], [曜], [時], [分] などに対する割り込みイベントを得たいときに、AIE, AF ビット および WADA ビットと ともに設定/使用します。
- 上記アラームレジスタの設定状況 および WADA ビットの設定状況に 現時刻が一致すると、AF ビット = "1" かつ /IRQ 端子 = "L" となるなど、アラーム割り込みイベントの発生を知ることができます。

9.2.6. 定周期タイマ用ダウンカウンタ (Reg - 0B[h] ~ 0C[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0B	Timer Counter 0	128	64	32	16	8	4	2	1
0C	Timer Counter 1	•	•	•	•	2048	1024	512	256

- 定周期タイマ割り込み機能を使用するさいの、カウントダウン初期値 (プリセット値) を設定するレジスタです。カウンタの設定は 1 (01 h) ~ 4095 (FFF h) の範囲で設定できます。
- 定周期タイマ割り込み機能を使用するには、TE, TF, TIE, TSEL1, TSEL0 ビットと ともに設定/使用します。
- 本ダウンカウンタのカウント値が 001 h → 000 h になると、TF ビット = "1" , /IRQ 端子 = "L" となるなど、定周期タイマ割り込みイベントの発生を知ることができます。

9.2.7. 拡張レジスタ 0 (Reg - 0D [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0D	Extension Register	TEST	WADA	USEL	TE	FSEL1	FSEL0	TSEL1	TSEL0

- アラーム割り込み機能, 定周期タイマ割り込み機能, FOUT 機能に関する動作設定をするためのレジスタです。

1) TEST ビット

テスト用のビットです。書き込み時は、必ず "0" を設定してください。
他のビットへの書き込みのさいに、誤って "1" を書き込まないように ご注意ください。
尚、初期電源投入時は、Test-Mode は初期化されます。

2) WADA ビット (Week Alarm / Day Alarm Select)

アラーム割り込み機能の対象を選択指定するビットです。
"1" の書き込みで、DAY (日) を比較対象にします。
"0" の書き込みで、WEEK (週) を比較対象にします。

3) USEL ビット (Update Interrupt Select)

時刻更新割り込みを発生させるタイミングを指定します。

USEL	タイミング	自動復帰時間
0	秒 更新	7.813 ms
1	分 更新	7.813 ms

4) TE ビット (Timer Enable)

定周期タイマ割り込み機能の動作を制御するビットです。
"1" の書き込みで、定周期タイマ割り込み機能が動作を開始します。
"0" の書き込みで、定周期タイマ割り込み機能を停止させます。

5) FSEL1, FSEL0 ビット (Frequency Select 1, 0)

FOUT 機能 (32.768kHz などのクロック出力を得る機能) を使用するとき、FOUT 出力端子の状態を選択設定するビットです。

FSEL1, FSEL0 ビット と FOE 入力端子の組み合わせで、出力周波数の選択 (3 種類) または 出力停止を設定できます。

6) TSEL1, TSEL0 ビット (Timer Select 1, 0)

定周期タイマ割り込み機能のカウントダウン周期 (ソースクロック) を選択指定するビットです。
この 2 つのビットの組み合わせで、全 4 種類より選択できます。

9.2.8. フラグレジスタ 1 (Reg - 0E [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0E	Flag Register	TEST	○	UF	TF	AF	○	VLF	○

- 電源状況, 各種割り込みイベント発生状況, 内部データの信頼性 などの状況結果を示す、フラグレジスタです。

1) TEST ビット

テスト用のビットです。書き込み時は、必ず "0" を設定してください。
他のビットへの書き込みのさいに、誤って "1" を書き込まないように ご注意ください。
尚、初期電源投入時は、TEST ビットは "0" に初期化されます。

2) UF ビット (Update Flag)

時刻更新終了割り込みイベントを検出して、結果を保持するフラグビットです。
時刻更新終了割り込みイベントが発生すると、"0" → "1" に変化します。
尚、初期電源投入時は、UF ビットは "0" に初期化されます。

3) TF ビット (Timer Flag)

定周期タイマ割り込みイベントを検出して、結果を保持するフラグビットです。
定周期タイマ割り込みイベントが発生すると、"0" → "1" に変化します。
尚、初期電源投入時は、TF ビットは "0" に初期化されます。

4) AF ビット (Alarm Flag)

アラーム割り込みイベントを検出して、結果を保持するフラグビットです。
アラーム割り込みイベントが発生すると、"0" → "1" に変化します。
尚、初期電源投入時は、AF ビットは "0" に初期化されます。

5) VLF ビット (Voltage Low Flag)

本製品の状態を検出して、結果を保持するフラグビットです。
電源電圧の低下などによって計時内容が有効でないとき、"0" → "1" に変化します。
読み出し時 "1" のときの本製品の内容は無効ですので、その場合は、必ず 全てのレジスタを初期設定してから 使用してください。

- * バックアップ状態からの復帰時などに読み出し、バックアップ動作中の異常の有無について確認することを推奨します。

VLF	データ	内容
Write	0	VLF ビットを 0 クリアし、また、次回検出に備える。
	1	設定禁止
Read	0	動作異常の 検出なし。
	1	動作異常の 検出あり。 本製品の内容は無効。 * 結果は、0 クリアするまで保持されます。

尚、電源投入時は "1" となっておりますので、次回検出時に備え "0" を書き込んでください。

9.2.9. コントロールレジスタ (Reg - 0F [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0F	Control Register	TEST	EWP	UIE	TIE	AIE	○	STOP	○

• /IRQ 端子からの割り込みイベント出力の制御 や 時計、カレンダーの停止/動作 を制御するためのレジスタです。

1) TEST ビット

テスト用のビットです。書き込み時は、必ず "0" を設定してください。
他のビットへの書き込みのさいに、誤って "1" を書き込まないように ご注意ください。
尚、初期電源投入時は、TEST ビットは "0" に初期化されます。

2) EWP ビット (E²PROM Write Protect)

EWP ビットは E²PROM のライトプロテクト用ビットです。
EWP ビットを "1" に設定した時、E²PROM への書き込み操作が許可されます。
初期電源投入時、EWP ビットは "0" に初期化されます。

3) UIE ビット (Update Interrupt Enable)

時刻更新割り込みイベント発生時 (UF, "0" → "1") の、/IRQ 割り込み信号の動作を設定します。
"1" の書き込みにより、割り込みイベント発生時に /IRQ 端子から "L" レベルの割り込み信号を発生させることができます。
"0" の書き込みでは、/IRQ 端子からの出力を禁止します。
初期電源投入時、UIE ビットは "0" に初期化されます。

4) TIE ビット (Timer Interrupt Enable)

定周期タイマ割り込みイベント発生時 (TF, "0" → "1") の、/IRQ 割り込み信号の動作を設定します。
"1" の書き込みにより、割り込みイベント発生時に /IRQ 端子から "L" レベルの割り込み信号を発生させることができます。
"0" の書き込みでは、/IRQ 端子からの出力を禁止します。
初期電源投入時、TIE ビットは "0" に初期化されます。

5) AIE ビット (Alarm Interrupt Enable)

アラーム割り込みイベント発生時 (AF, "0" → "1") の、/IRQ 割り込み信号の動作を設定します。
"1" の書き込みにより、割り込みイベント発生時に /IRQ 端子から "L" レベルの割り込み信号を発生させることができます。
"0" の書き込みでは、/IRQ 端子からの出力を禁止します。
初期電源投入時、AIE ビットは "0" に初期化されます。

6) STOP ビット

計時動作を停止させます。
"1" の書き込みで 計時動作を停止させます。
"0" の書き込みで 計時を再開 (停止を解除) します。
* 機能の性質上、時計、カレンダーの設定以外での使用は 控えてください。
初期電源投入時、STOP ビットは "0" に初期化されます。

• STOP ビットと他の動作との関係

STOP ビットが "1" のとき、次のような影響があります。

* 停止 1) 年,月,日,曜,時,分,秒 の更新が停止

- 計時、カレンダー動作の更新が 全て停止します。
また それに伴い、アラーム割り込みイベントが 発生しなくなります。

* 停止 2) 定周期タイマ割り込み機能の一部が停止

- 定周期タイマのソースクロック設定が 64 Hz, 1 Hz, 1/60 Hz の設定にあるときは、定周期タイマ割り込み機能が動作しません。
(ソースクロック設定が 4096 Hz 時のみ、動作可能)

9.3. E²PROM と ID-ROM

- 本 IC は 10 byte の E²PROM, 6 byte の ID-ROM を内蔵しています。

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0F	Control Register	TEST	EWP	UIE	TIE	AIE	○	STOP	○

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
10 19	E²PROM	80 bit (10 byte x 8 bit)							
1A 1F	ID-ROM	48 bit (6 byte x 8 bit)							

1) EWP ビット (E²PROM Write Protect)

EWP ビットは E²PROM のライトプロテクト用ビットです。

EWP ビットを " 1 " に設定した時、E²PROM への書き込み操作が許可されます。

初期電源投入時、EWP ビットは " 0 " に初期化されます。

2) E²PROM

E²PROM へのオートインクリメントによる連続書き込みはできません。

また、Byte 書き込み後、次の書き込みまで 1.8ms の Wait 時間が必要です。

Wait 時間を待たずに E²PROM への書き込みをおこなった場合、この操作は無視されます。

E²PROM 以外のエリアへのアクセスは可能です。

E²PROM へのデータの書き込みには内蔵水晶発振クロックを利用するため、電源投入から内蔵水晶発振器が動作するまでは E²PROM への書き込みは出来ません。

3) ID-ROM

ID-ROM には個別にユニークな ID 情報が工場出荷時に書き込まれています。

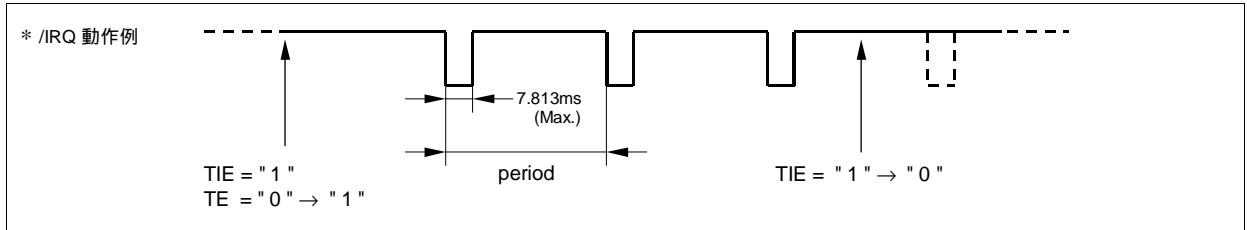
ID-ROM はエンドユーザーは書き込みできません。読み出しのみ可能です。

9.4. 定周期タイマ割り込み機能

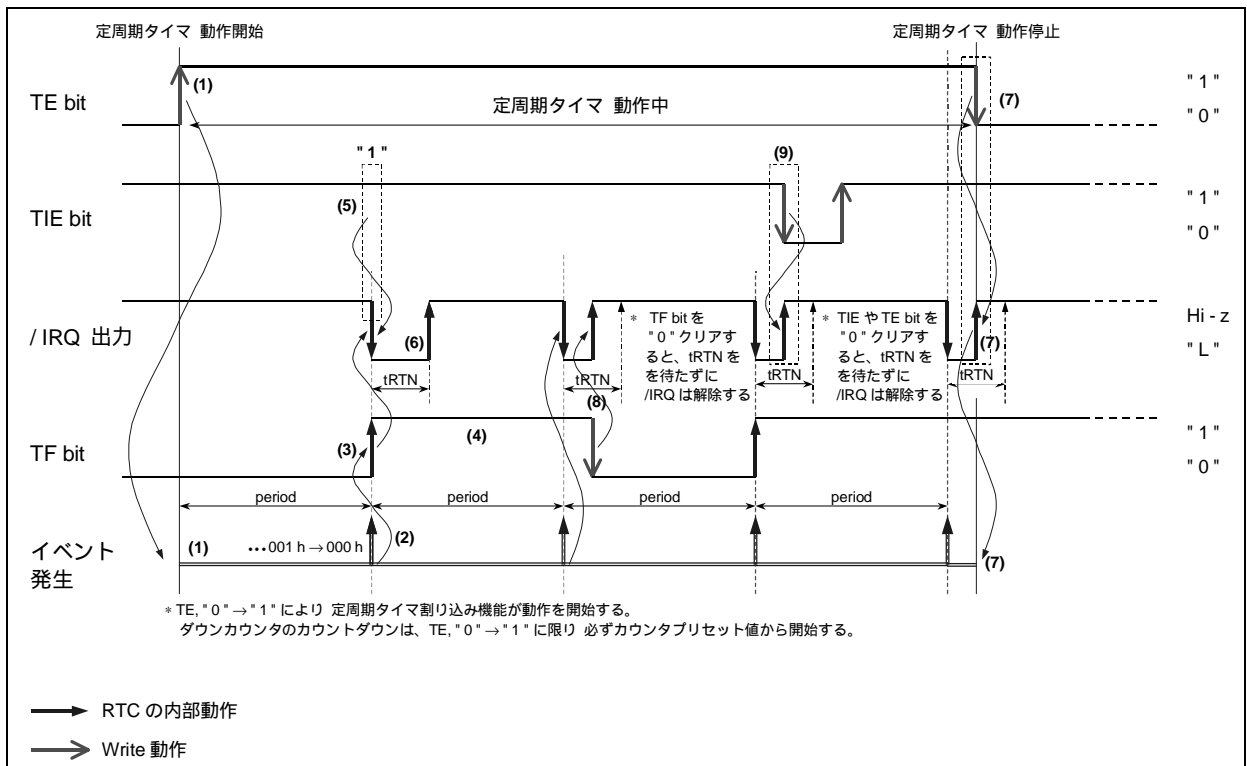
定周期タイマ割り込み機能は、244.14 μ s ~ 4095 min までの任意の周期にて 定期的な割り込みイベントを発生させる機能です。

割り込みイベント発生時には TF ビット = "1" かつ /IRQ 端子 = "L" と なるなど、イベントの発生を知ることができます。

* 定周期タイマ割り込みイベント発生時の /IRQ "L" 出力は、割り込み発生後 7.813 ms (Max.) で自動解除 (/IRQ = "L" \rightarrow Hi-z) されます。(自動解除を待たずに 強制解除させることもできます)



9.4.1. 定周期タイマ割り込み機能図



- (1) TE, "0" \rightarrow "1" の書き込みにより、定周期タイマのカウントダウンを プリセット値から開始します。
- (2) 定周期タイマ割り込みイベントは「ダウンカウンタのカウント値を ソースクロックの周期でカウントダウンさせていき、ダウンカウンタが 001h \rightarrow 000h になると割り込みイベントが発生する」ようになっています。
* ダウンカウンタが 001h \rightarrow 000h になり 割り込みイベントが発生した後は、ダウンカウンタのプリセット値を自動的に再ロードし、再びプリセット値よりカウントダウンを開始します。(繰り返し動作)
- (3) 定周期タイマ割り込みイベントが発生すると、TF ビットは "0" \rightarrow "1" に変化します。
- (4) TF ビットが "1" のときは、0 クリアされるまで "1" を保持します。
- (5) 定周期タイマ割り込み発生時に TIE = "1" ならば、/IRQ 端子は "L" になります。
* TIE = "0" のときは、/IRQ 端子は Hi-z のまま変化はありません。
- (6) また /IRQ 端子出力は、毎イベント発生ごとに tRTN 時間の間だけ "L" になり、その後は Hi-z に自動解除されます。(次の割り込みイベント発生時には、再度 /IRQ = "L" となります。)
- (7) TE, "1" \rightarrow "0" の書き込みより、定周期タイマの機能が停止し かつ ただちに /IRQ, "L" \rightarrow Hi-z になります。
- (8) /IRQ = "L" 時に TF, "1" \rightarrow "0" の書き込みをすると、ただちに /IRQ, "L" \rightarrow Hi-z になります。
- (9) /IRQ = "L" 時に TIE, "1" \rightarrow "0" の書き込みをすると、ただちに /IRQ, "L" \rightarrow Hi-z になります。

9.4.2. 定周期タイマ割り込み機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0B	Timer Counter 0	128	64	32	16	8	4	2	1
0C	Timer Counter 1	•	•	•	•	2048	1024	512	256
0D	Extension Register	TEST	WADA	○	TE	FSEL1	FSEL0	TSEL1	TSEL0
0E	Flag Register	TEST	○	○	TF	AF	○	VLF	○
0F	Control Register	TEST	○	○	TIE	AIE	○	STOP	○

* 動作設定は、必ず、まず はじめに TE ビット "0" → TF ビット "0" → TIE ビット "0" の順に "0" クリアしてから始めてください。

* 定周期タイマ割り込み機能を使用しないときは、定周期タイマ用ダウンカウンタ (Reg - B, C [h]) を RAM レジスタとして使用できます。その場合は TE, TIE = "0" に設定して、定周期タイマ機能を停止させてください。

1) TSEL1, TSEL0 ビット (Timer Select 1, 0)

定周期タイマ割り込み機能のカウンタダウン周期 (ソースクロック) を選択指定するビットです。この2つのビットの組み合わせで、全4種類より選択できます。

* ソースクロックの設定は、必ず TE ビットを一旦 "0" にしてから行ってください。

TSEL1, 0	TSEL1 (bit 1)	TSEL0 (bit 0)	ソース クロック	自動復帰時間 tRTN	STOP ビットによる影響
W / R	0	0	4096 Hz / 244.14 μs 周期	122 μs	—
	0	1	64 Hz / 15.625 ms 周期	7.813 ms	* STOP ビットが "1" のときは 動作しません
	1	0	1 Hz / 1 秒周期	7.813 ms	
	1	1	1/60 Hz / 1 分周期	7.813 ms	

*1) /IRQ 端子の自動復帰時間 tRTN は、ソースクロックによって上記の様に異なります。

*2) ソースクロック 1 Hz 選択時のカウンタダウンは、内部計時の[秒]更新に連動しています。

* 内部計時の[秒]更新に連動していますので、例えば 0.9 秒の時点でタイマ動作を開始した場合には、0.1 秒後に 1 回目のカウンタダウンが発生します。(2 回目以降は 正しい 1 秒周期で行われます)

*3) ソースクロック 1/60 Hz 選択時のカウンタダウンは、内部計時の[分]更新に連動しています。

* 内部計時の[分]更新に連動していますので、例えば 50 秒の時点でタイマ動作を開始した場合には、10 秒後に 1 回目のカウンタダウンが発生します。(2 回目以降は 正しい 1 分周期で行われます)

2) 定周期タイマ用ダウンカウンタ (Timer Counter)

プリセッタブル・ダウンカウンタの初期値 (プリセット値) を設定するレジスタで、カウンタ値は 1 (001h) ~ 4095 (FFFh) までの任意の値を設定できます。

ソースクロックの周期にて このダウンカウンタがカウンタダウンし、001h → 000h になると TF ビットが "1" になるなどのイベントが発生します。

TE, "0" → "1" によるカウンタダウンは、常にプリセット値から カウンタダウンが始まります。

* プリセット値の書き込みは、必ず TE ビットが "0" の状態で 行ってください。

Reg - 0C [h] Timer Counter 1								Reg - 0B [h] Timer Counter 0							
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
•	•	•	•	2048	1024	512	256	128	64	32	16	8	4	2	1

*1. 定周期タイマ割り込み機能の動作中に本レジスタを読み出すと、カウンタダウン中のカウンタ状況が確認出来ます。

本レジスタを読み出すとき、

TE ビットが "0" のときは カウンタ初期値(プリセット値)が読み出せ、また、

TE ビットが "1" のときは カウンタダウン中の Data が読み出せます。

(但し、読み出されるデータはホールドされていませんので (データ変化中の場合がありますので)、正しいデータを得るためには 2 度読み比較などをしてください。)

*2. 定周期タイマ割り込み機能を使用しないときは、本レジスタを RAM レジスタとして使用できます。

その場合は TE, TIE = "0" に設定して、定周期タイマ機能を停止させてください。

3) TE ビット (Timer Enable)

定周期タイマ割り込み機能の動作を開始させるためのビットです。

TE	データ	内容
Write / Read	0	定周期タイマ割り込み機能を 停止 * /IRQ 出力は、ただちに解除されます(Hi-z になります)。
	1	定周期タイマ割り込み機能が 動作を開始 * カウントダウンのスタート値は、常にプリセット値より開始します。

4) TF ビット (Timer Flag)

定周期タイマ割り込みイベントを検出して、結果を保持するフラグビットです。

あらかじめ "0" をセットしておく、定周期タイマ割り込みイベントが発生したときに "0" → "1" に変化します。

TF	データ	内容
Write	0	TF ビットを 0 クリアし、また、次回検出に備える * /IRQ 出力は、ただちに解除されます(Hi-z になります)。
	1	"1" は 書き込めません。
Read	0	定周期タイマ割り込みイベント発生 の 検出なし
	1	定周期タイマ割り込みイベント発生 の 検出あり * 結果は、0 クリアするまで保持されます。

5) TIE ビット (Timer Interrupt Enable)

定周期タイマ割り込みイベント発生時 (TF, "0" → "1") の、/IRQ 割り込み信号の動作を設定します。

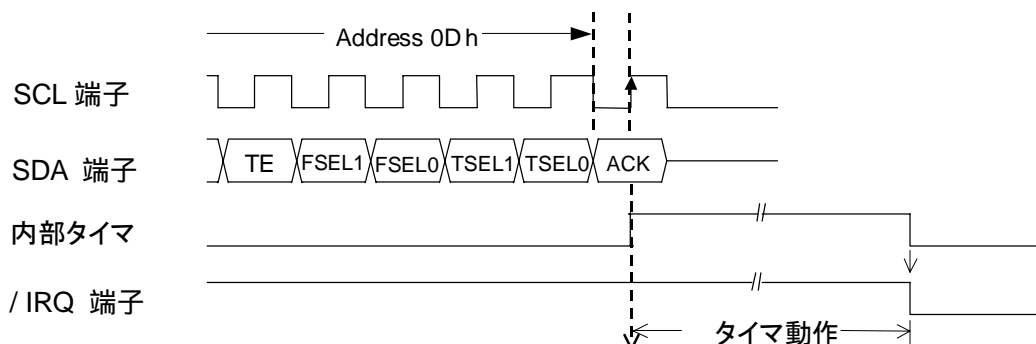
"1" の書き込みにより、割り込みイベント発生時に /IRQ 端子から "L" レベルの割り込み信号を発生させることができます。

"0" の書き込みでは、/IRQ 端子からの出力を禁止します。

TIE	データ	内容
Write / Read	0	1) 定周期タイマ割り込みイベント発生時、 割り込み信号は 発生させない (/IRQ = Hi-z 継続) 2) 定周期タイマ割り込みイベント発生による 割り込み信号を 解除 (/IRQ, "L" → Hi-z) する。 * /IRQ 出力は、ただちに解除されます(Hi-z になります)。
	1	定周期タイマ割り込みイベント発生時、 割り込み信号を 発生させる (/IRQ = Hi-z → "L")

9.4.3. タイマスタートタイミング

定周期タイマのタイマカウントダウンは、Address 0D h の bit 4 (TE) に "0" → "1" の書き込み終了時の SCL の立ち上がりエッジ (ACK 出力時) から開始します。



9.4.4. 定周期タイマ割り込み周期 と 時間誤差

ソースクロック設定 (TSEL1, 0 設定) と 定周期タイマ用ダウンカウンタ設定 (Reg - 0B 設定) の組み合わせによる、定周期タイマ割り込み周期の例を示します。

Timer Counter 設定値 1 ~ 4095	ソースクロック			
	4096 Hz TSEL1, 0 = 0, 0	64 Hz TSEL1, 0 = 0, 1	1 Hz (1 秒桁 更新時) TSEL1, 0 = 1, 0	1 / 60 Hz (1 分桁 更新時) TSEL1, 0 = 1, 1
0	–	–	–	–
1	244.14 μ s	15.625 ms	1 s	1 min
2	488.28 μ s	31.250 ms	2 s	2 min
⋮	⋮	⋮	⋮	⋮
41	10.010 ms	640.63 ms	41 s	41 min
82	20.020 ms	1.281 s	82 s	82 min
128	31.250 ms	2.000 s	128 s	128 min
192	46.875 ms	3.000 s	192 s	192 min
205	50.049 ms	3.203 s	205 s	205 min
320	78.125 ms	5.000 s	320 s	320 min
410	100.10 ms	6.406 s	410 s	410 min
640	156.25 ms	10.000 s	640 s	640 min
820	200.20 ms	12.813 s	820 s	820 min
1229	300.05 ms	19.203 s	1229 s	1229 min
1280	312.50 ms	20.000 s	1280 s	1280 min
1920	468.75 ms	30.000 s	1920 s	1920 min
2048	500.00 ms	32.000 s	2048 s	2048 min
2560	625.00 ms	40.000 s	2560 s	2560 min
3200	0.7813 s	50.000 s	3200 s	3200 min
3840	0.9375 s	60.000 s	3840 s	3840 min
⋮	⋮	⋮	⋮	⋮
4095	0.9998 s	63.984 s	4095 s	4095 min

● 定周期タイマ割り込みの時間誤差 と 定周期タイマ割り込みの 1 周期の時間

定周期タイマ割り込みの時間誤差は、選択したソースクロックの $^{+0} / \text{ }_{-1}$ 周期の時間が誤差となります。よって 定周期タイマ割り込みの 1 周期は、設定時間に対して以下の範囲になります。

定周期タイマ割り込みの 1 周期

(定周期タイマ割り込み設定時間*) – ソースクロック周期) ~ (定周期タイマ割り込み設定時間)

*) 定周期タイマ割り込み設定時間 = ソースクロック設定 × 定周期タイマ用ダウンカウンタ設定

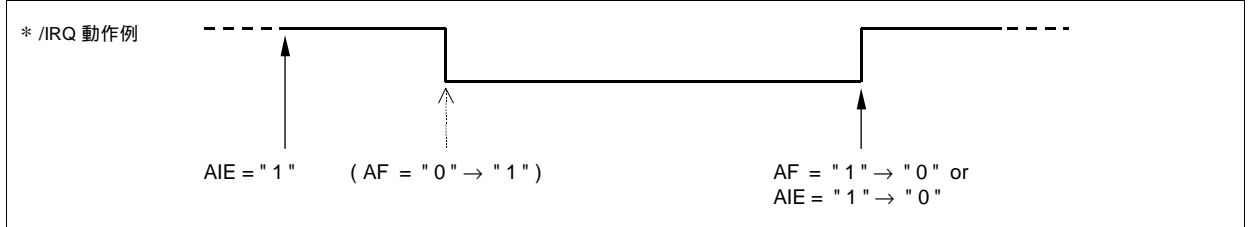
* 実際の定周期タイマ割り込み時間は、上記時間の他にも 設定時のシリアルデータ転送クロックの通信時間がプラスされます。

9.5. アラーム割り込み機能

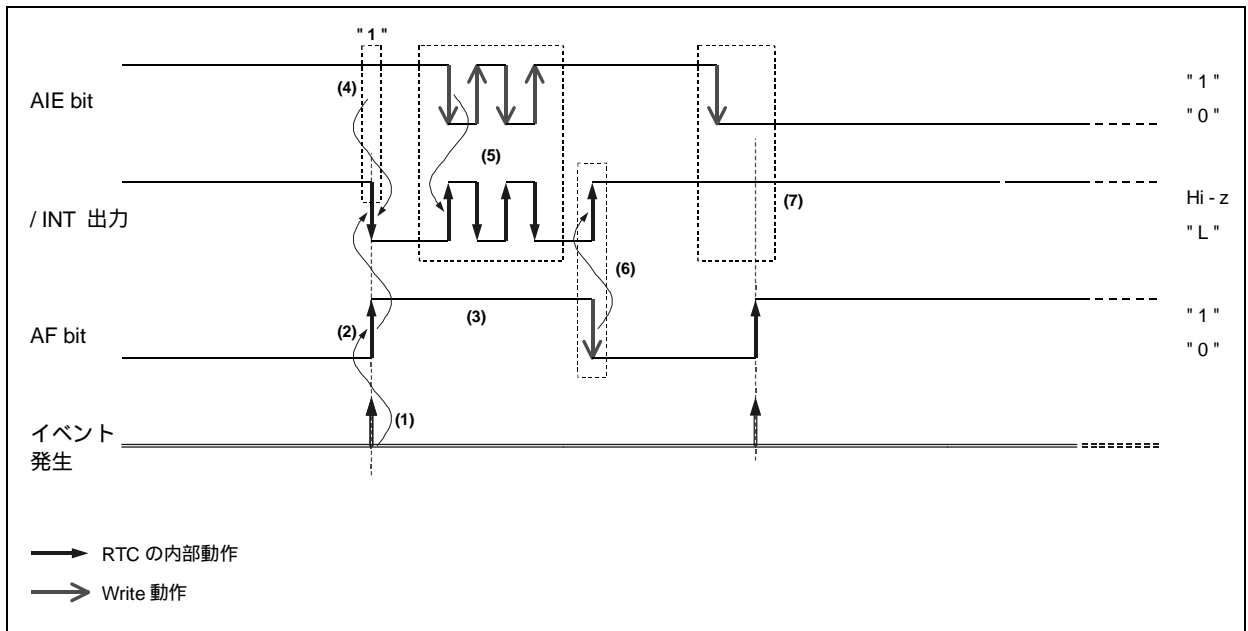
アラーム割り込み機能は、[日], [曜], [時], [分]などに対する割り込みイベントを発生させる機能です。

割り込みイベント発生時には AF ビット = "1" かつ /IRQ 端子 = "L" と なるなど、イベントの発生を知ることができます。

* アラーム割り込みイベント発生時の /IRQ "L" 出力は、意図的な解除をしないかぎり自動解除されず、/IRQ "L" が保持されます。



9.5.1. アラーム割り込み機能図



- (1) 「アラーム割り込みイベントを発生させたい [時], [分], [日 or 曜] を WADA ビットとともに あらかじめ設定しておき、設定状況に現時刻が一致すると割り込みイベントが発生」します。
注) 現時刻と同じ状況を設定してもアラームは発生しません。 次回の同じ状況への桁上げ時にて発生します。
- (2) アラーム割り込みイベントが発生すると、AF ビットは "1" になります。
- (3) AF ビットが "1" のとき、0 クリアされるまで "1" が保持されます。
- (4) アラーム割り込み発生時に AIE = "1" ならば、/IRQ 端子は "L" を出力します。
* アラーム割り込みイベント発生時の /IRQ 端子出力は "L" になり、その後は AF ビットまたは AIE ビットによって解除されるまで これを維持します。
- (5) /IRQ = "L" 時に AIE, "1" → "0" の書き込みをすると、ただちに /IRQ, "L" → Hi-z になります。
また、アラーム割り込み発生後の AF ビットが 0 クリアされるまでの間は、/IRQ 状態を AIE ビットによって任意に制御することができます。
- (6) /IRQ = "L" 時に AF, "1" → "0" の書き込みをすると、ただちに /IRQ, "L" → Hi-z になります。
- (7) アラーム割り込み発生時に AIE = "0" ならば、/IRQ 端子は Hi-z のまま変化はありません。

9.5.2. アラーム割り込み機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
01	MIN	○	40	20	10	8	4	2	1
02	HOUR	○	○	20	10	8	4	2	1
03	WEEK	○	6	5	4	3	2	1	0
04	DAY	○	○	20	10	8	4	2	1
08	MIN Alarm	AE	40	20	10	8	4	2	1
09	HOUR Alarm	AE	●	20	10	8	4	2	1
0A	WEEK Alarm	AE	6	5	4	3	2	1	0
	DAY Alarm		●	20	10	8	4	2	1
0D	Extension Register	<i>TEST</i>	WADA	USEL	TE	FSEL1	FSEL0	TSEL1	TSEL0
0E	Flag Register	<i>TEST</i>	○	UF	TF	AF	○	VLF	○
0F	Control Register	<i>TEST</i>	EWP	UIE	TIE	AIE	○	STOP	○

* 動作設定は、設定時の不用意なハードウェア割り込みを避けるために、まず最初に AIE ビットを "0" にすることを推奨します。

* STOP ビットが "1" のときは、アラーム割り込みイベントは発生しません。

* アラーム割り込み機能を使用しないときは、アラームレジスタ (Reg - 8 ~ A) を RAM レジスタとして使用できます。その場合は、AIE ビットを必ず "0" にしてください。

* アラームレジスタ (Reg - 8 ~ A) を RAM レジスタとして使用する場合でも RTC 内部はアラーム設定として処理されますので、AIE = "0" とすることで、書き込みデータと計時状況との偶然合致による意図しないアラーム発生 (IRQ "L" 発生) を事前に防止します。

1) WADA ビット (Week Alarm / Day Alarm Select)

アラーム割り込み機能の対象を選択指定するビットです。

WADA	データ	内容
Write / Read	0	アラーム機能の対象を WEEK (週) にする * DAY(日)は 不問扱いになります。
	1	アラーム機能の対象を DAY (日) にする * WEEK(週)は 不問扱いになります。

2) アラームレジスタ (Reg - 08[h] ~ 0A[h])

アラーム割り込みイベントを発生させる [時], [分], [日 or 曜] を、WADA ビットとともに設定します。

WEEK Alarm / DAY Alarm レジスタ (Reg - A) には、WADA ビットで選択した状況に応じて [週] データを設定するか もしくは [日] データを設定します。

[週] を選択したときは、曜日設定を(たとえば)月・水・金・土のような複数曜日の同時設定が可能です。

アラームレジスタの設定状況 および WADA ビットの設定状況に現時刻が一致すると AF ビットが "1" になります。また そのとき、事前に AIE ビットを "1" に設定していれば /IRQ 端子が "L" になります。

*1) アラーム発生の対象としたくない項目については、対象としたくない項目のレジスタの AE ビットを "1" にしてください。AE = "1" のとき、その項目については データ不問でアラーム比較対象外となります。

例) WEEK Alarm / DAY Alarm レジスタ (Reg - A) に 80h (AE = "1") を書き込む
[時],[分]のみがアラーム比較対象となる。[週/日]はアラーム比較対象外。

*2) 3つの AE ビット (Reg - 8,9,A) の全てを "1" にしたときは、例外的に [1 分毎にアラーム割り込みイベントが発生] します。(この結果も、AF ビットに反映されます)

3) AF ビット (Alarm Flag)

アラーム割り込みイベントを検出して、結果を保持するフラグビットです。

あらかじめ "0" をセットしておく、アラーム割り込みイベントが発生したときに "0" → "1" に変化します。

AF	データ	内容
Write	0	AF ビットを 0 クリアし、また、次回検出に備える * /IRQ 出力は、ただちに解除されます。(Hi-z になります)
	1	"1" は 書き込めません。
Read	0	アラーム割り込みイベント発生 の 検出なし
	1	アラーム割り込みイベント発生 の 検出あり * 結果は、0 クリアするまで保持されます。

4) AIE ビット (Alarm Interrupt Enable)

アラーム割り込みイベント発生時 (AF, "0" → "1") の、/IRQ 割り込み信号の動作を設定します。

"1" の書き込みにより、割り込みイベント発生時に /IRQ 端子から "L" レベルの割り込み信号を発生させることができます。

"0" の書き込みでは、/IRQ 端子からの出力を禁止します。

AIE	データ	内容
Write / Read	0	1) アラーム割り込みイベント発生時、 割り込み信号は 発生させない (/IRQ = Hi-z 継続) 2) アラーム割り込みイベント発生による 割り込み信号を 解除 (/IRQ, "L" → Hi-z) する。 * /IRQ 出力は、ただちに解除されます。(Hi-z になります)
	1	アラーム割り込みイベント発生時、 割り込み信号を 発生させる (/IRQ = Hi-z → "L")

9.5.3. アラーム設定例

1) [曜] 指定時の アラーム設定例 / WADA ビット = "0"

[曜] 指定時 WADA ビット "0"	Reg - A								Reg - 9	Reg - 8
	bit 7 AE	bit 6 土	bit 5 金	bit 4 木	bit 3 水	bit 2 火	bit 1 月	bit 0 日	HOUR Alarm	MIN Alarm
毎週 月 ~ 金, 午前 7 時 * [分]不問	0	0	1	1	1	1	1	0	07 h	AE bit "1"
毎週 日, 土, 毎時 30 分 * [時]不問	0	1	0	0	0	0	0	1	AE bit "1"	30 h
毎日, 午後 6 時 59 分	0 1	1 X	1 X	1 X	1 X	1 X	1 X	1 X	18 h	59 h

X : don't care

2) [日] 指定時の アラーム設定例 / WADA ビット = "1"

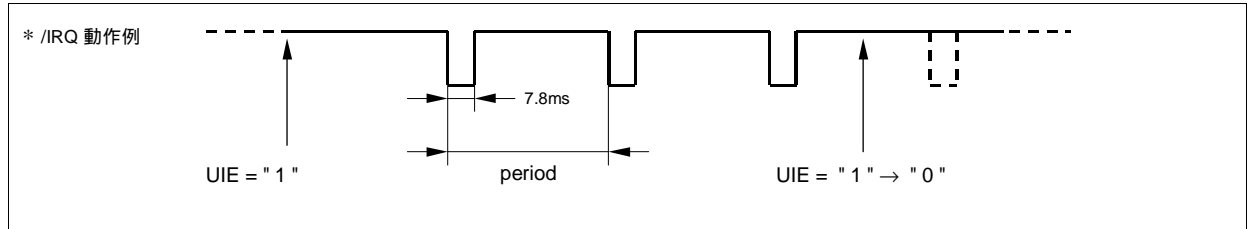
[日] 指定時 WADA ビット "1"	Reg - A								Reg - 9	Reg - 8
	bit 7 AE	bit 6 ●	bit 5 20	bit 4 10	bit 3 08	bit 2 04	bit 1 02	bit 0 01	HOUR Alarm	MIN Alarm
毎月 01 日, 午前 7 時 * [分]不問	0	0	0	0	0	0	0	1	07 h	AE bit "1"
毎月 15 日, 毎時 30 分 * [時]不問	0	0	0	1	0	1	0	1	AE bit "1"	30 h
毎日, 午後 6 時 59 分	1	X	X	X	X	X	X	X	18 h	59 h

X : don't care

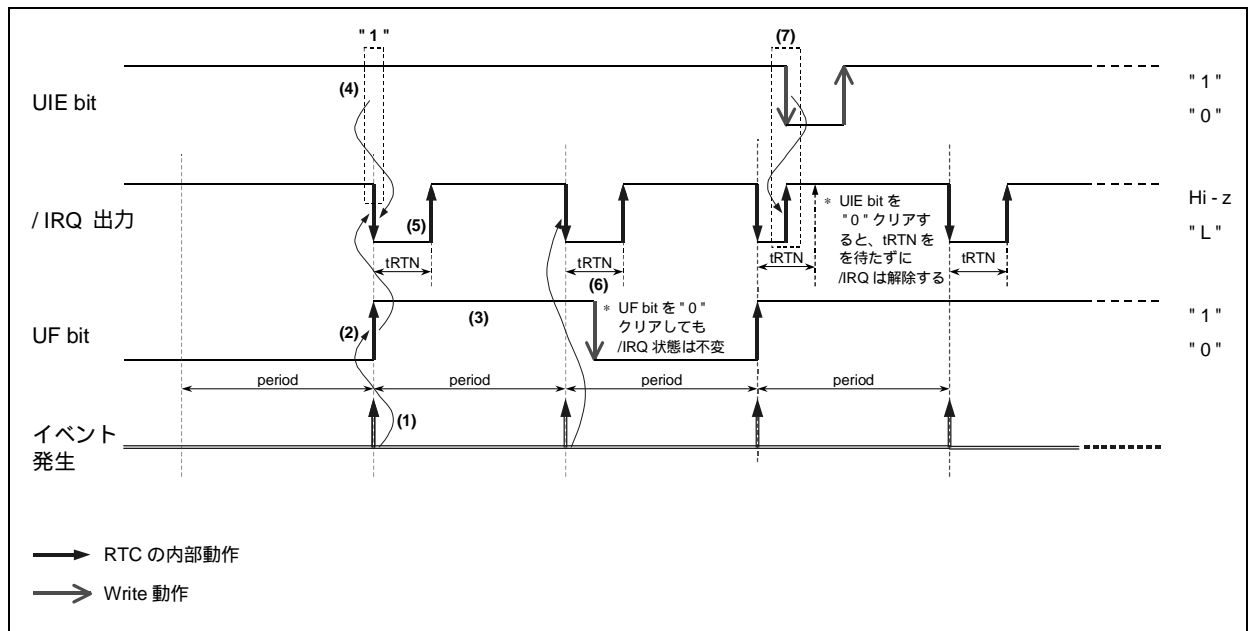
9.6. 時刻更新割り込み機能

時刻更新割り込み機能は、1 秒間隔 または 1 分間隔にて 内部計時に連動したタイミングで割り込みイベントを発生させる機能です。

割り込みイベント発生時には UF ビット = "1" かつ /IRQ 端子 = "L" となり、イベントの発生を知ることができます。(ただし 時刻更新割り込みイベント発生時の /IRQ "L" 出力は、UIE = "1" である限り、割り込み発生後 7.8 ms(固定値)で自動解除 (/IRQ = "L" → Hi-z)します)



9.6.1. 時刻更新割り込み機能図



- (1) 時刻更新割り込みイベントは、内部計時の [秒]更新時 または [分]更新時 のどちらか一方に連動して発生します。USEL ビットにて選択設定された内容により、[秒]更新毎 または [分]更新毎 になります。
- (2) 時刻更新割り込みイベントが発生すると、UF ビットは "1" になります。
- (3) UF ビットが "1" のとき、0 クリアされるまで "1" が保持されます。
- (4) 時刻更新割り込み発生時に UIE = "1" ならば、/IRQ 端子は "L" を出力します。
* 時刻更新割り込み発生時に UIE = "0" ならば、/IRQ 端子は Hi-z のまま変化はありません。
- (5) また、/IRQ 端子出力は、毎イベント発生ごとに tRTN 時間(時刻更新割り込み時は 7.8125 ms 固定)の間だけ "L" になり、その後は Hi-z に自動解除されます。
* 次の割り込みイベント発生時には 再度 /IRQ = "L" となります。
- (6) /IRQ = "L" 時に UF, "1" → "0" の書き込みをしても、/IRQ 状態は変化しません。
- (7) /IRQ = "L" 時に UIE, "1" → "0" の書き込みをすると、ただちに /IRQ, "L" → Hi-z になります。

9.6.2. 時刻更新割り込み機能 関連レジスタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
D	Extension Register	TEST	WADA	USEL	TE	FESL1	FSEL0	TSEL1	TSEL0
E	Flag Register	TEST	○	UF	TF	AF	○	VLf	DW
F	Control Register	TEST	EWP	UIE	TIE	AIE	○	STOP	○

*) '○' は、ライト不能で、リード時は常時 "0" が読み出せます。

* 動作設定を行うときは、設定中の不要なハードウェア割り込みを避けるために、まず最初に UIE ビットを "0" にすることを推奨します。

* STOP ビットが "1" のときは、時刻更新割り込みイベントは発生しません。

* 時刻更新割り込み機能を完全な停止状態にすることはできませんが、UIE ビットを "0" にしておくことで時刻更新割り込み機能による /IRQ = "L" を発生させないことは可能です。

1) USEL ビット (Update Interrupt Select)

時刻更新割り込みイベントの発生タイミングを [秒]更新 か [分]更新 かを選択指定するビットです。

USEL	データ	内容
Write / Read	0	割り込みイベントの発生タイミングを、 [秒]更新時(1秒毎に繰り返し)にする
	1	割り込みイベントの発生タイミングを、 [分]更新時(1分毎に繰り返し)にする

2) UF ビット (Update Flag)

あらかじめ "0" をセットしておく、時刻更新割り込みイベントが発生したときに "0" → "1" に変化するフラグビットです。このフラグビットが "1" のとき、"0" を書き込むまでそれを保持します。

UF	データ	内容
Write	0	UF ビットを 0 クリアし、また、次回検出に備える * 0 クリアしても、/IRQ "L" 出力を解除する(Hi-z にする)ことはできません。
	1	"1" の書き込みは 無効です。
Read	0	時刻更新割り込みイベント発生 の 検出なし
	1	時刻更新割り込みイベント発生 の 検出あり (結果は、0 クリアするまでホールドされます)

3) UIE ビット (Update Interrupt Enable)

時刻更新割り込みイベント発生時(UF、"0" → "1")に、割り込み信号を発生させるか(/IRQ、Hi-z → "L") または 発生させない(/IRQ = Hi-z 継続)かを選択指定するビットです。

UIE	データ	内容
Write / Read	0	1) 時刻更新割り込みイベント発生時、 割り込み信号は 発生させない(/IRQ = Hi-z 継続) 2) 時刻更新割り込みイベント発生による 割り込み信号を 解除(/IRQ、"L" → Hi-z)する。 * UIE ビットを "0" にしても、他の割り込みイベントによって /IRQ = "L" となる (または "L" が継続される) 場合があります。
	1	時刻更新割り込みイベント発生時、 割り込み信号を 発生させる(/IRQ = Hi-z → "L") * 時刻更新割り込みイベント発生時の /IRQ "L" 出力は、UIE = "1" である限り、割り込み発生後 7.8 ms で自動解除(/IRQ = "L" → Hi-z)します。

9.7. 割り込み機能動作時の /IRQ "L" 割り込み出力に関して

1) /IRQ "L" 割り込み出力発生時の 割り込みイベント特定方法

/IRQ 割り込み出力端子は、定周期タイマ割り込み機能、アラーム割り込み機能、時刻更新割り込みの3種類の割り込みイベントの共通出力端子になっています。

割り込みが発生 (/IRQ = "L") したときはTF, AF, UF フラグを読み出して、どの種類の割り込みイベントが発生したのか(どのフラグが"1"か)を確認してください。

2) /IRQ 端子を "L" にしたくないときの処理方法

/IRQ 端子を "L" にしたくないときは、TIE, AIE, UIE ビットの全てのビットを "0" にしてください。

/IRQ 端子を "L" にせずに 割り込みイベントの発生を検出したい場合は、TF, AF, UF フラグを監視して、対象となる割り込みイベントが発生したか(対象となるフラグが"1"になったか)を確認してください。

9.8. FOUT 機能 (クロック出力機能)

FOUT 出力端子から、32.768 kHz などのクロック出力 (C-MOS 出力) を得ることができます。出力を停止させたとき、FOUT 端子はハイインピーダンスになります。

9.8.1. FOUT 機能 (クロック出力機能) 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0D	Extension Register	TEST	WADA	○	TE	FSEL1	FSEL0	TSEL1	TSEL0

• FSEL1 ビット, FSEL0 ビット と FOE 入力端子の組み合わせにより、FOUT 出力端子から 32.768 kHz, 1024 Hz, 1 Hz を選択出力する または 出力を停止させることができます。

9.8.2. FOUT 機能 機能動作表

FOE pin	FSEL1	FSEL0	FOUT pin Output
X (Don't care)	0	0	32768 Hz Output (C-MOS output)
	0	1	1024 Hz Output (C-MOS output)
	1	0	1 Hz Output (C-MOS output)
"H"	1	1	32768 Hz Output (C-MOS output) *1
"L"	1	1	OFF (high impedance) *2

*1 初期電源投入時 (0V からの電源投入時) に FOE 入力端子 = "H" であったときは、パワーオンリセット機能により 32.768 kHz が選択出力されます。

*2 FOUT 出力を停止させる組み合わせは [FOE = "L" 且つ FSEL1, FSEL0 = "1"] の場合のみです。その他の組み合わせのときは、表のようにいずれかのクロックが選択出力されます。

*3 FOUT 出力の ON/OFF 切替をソフトのみで制御する (FSEL1, 0 ビットのみで制御する) 場合は、FOE 入力端子を "L" にしてください。

FOE pin	FSEL1	FSEL0	FOUT pin Output
"L"	0	0	32768 Hz Output (C-MOS output)
	0	1	1024 Hz Output (C-MOS output)
	1	0	1 Hz Output (C-MOS output)
	1	1	OFF (high impedance)

*4 FOUT 出力の ON/OFF 切替をハードのみで制御する (FOE 端子のみで制御する) 場合は、FSEL1, 0 = "1" としてください。

注) ハードのみで制御できるのは、32.768kHz 出力の ON/OFF 制御のみです。

FSEL1	FSEL0	FOE pin	FOUT pin Output
1	1	"H"	32768 Hz Output (C-MOS output)
		"L"	OFF (high impedance)

* 初期電源投入時は、パワーオンリセット機能により FSEL1, FSEL0 = "1" に なっています。

9.8.3. FOUT 機能使用時の注意事項

- 1) 電源を急峻に変動させたときの FOUT 出力動作
FOUT 機能は、電源電圧が急峻に変動した直後 (バックアップ移行直後・バックアップからの復帰直後、など) では、その影響により、数 ms の間、出力が停止することがありますので ご注意ください。
- 2) STOP ビットが "1" のときの FOUT 出力動作
STOP "1" のときの FOUT は、選択周波数によっては 出力が停止します。 ご注意ください。
(1) 32.768 kHz, 1024 Hz を選択出力させているときは、継続出力します。
(2) 1Hz では FOUT 出力が停止します。

9.9. データの リード/ライト

9.9.1. I²C-BUS の特性

I²C -BUS は 2 線式の双方向通信です。信号線は、SDA (データライン) と SCL (クロックライン) とで構成されており、両ラインとも、プルアップ抵抗を介して V_{DD} ラインに接続します。

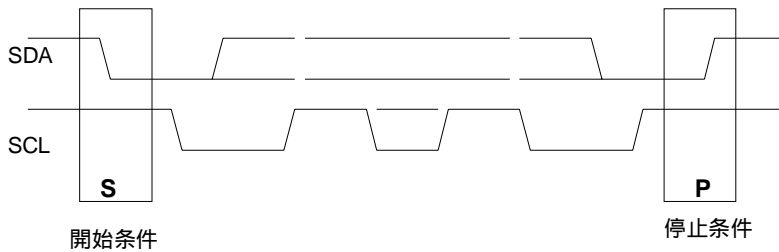
複数のデバイスの AND 接続を実行するために、I²C-BUS につながる全てのポートは オープンドレイン あるいはオープンコレクタでなければなりません。

9.9.2. ビット転送

SCL ラインの 1 クロックパルス毎に 1 ビットのデータ転送を行います。送信時、SDA ライン上のデータ変更は SCL ラインが LOW の区間で行います。受信側では、SCL ラインが HIGH の区間でデータを取り込みます。

9.9.3. 開始条件と停止条件

I²C-BUS が非通信状態の時、2 本のラインは HIGH を保っています。この時、SDA が HIGH から LOW に変化した状態を、通信の"開始条件"と定義します。この後、実際のデータ転送を行います。さらに、SCL が HIGH の時、SDA が LOW から HIGH に変化した状態を、通信の"停止条件"と定義します。

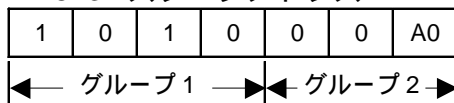


9.9.4. スレーブアドレス

I²C-BUS デバイスは、通常のロジックデバイスが有するチップセレクト端子を持ちません。全ての I²C-BUS デバイスは、機種ごとにユニークなデバイスナンバーが内部にあらかじめ固定記憶されています。I²C -BUS デバイスのチップセレクトは、通信開始時にこのデバイスナンバーを I²C-BUS によりスレーブアドレスとして送信することによって行います。受信デバイスは、スレーブアドレスが一致した場合のみ、その後の通信に反応します。

スレーブアドレスは、4 ビットの固定値によるグループ 1、3 ビットからなるグループ 2 の合計 7 ビットからなります。RX-8731 ではグループ 1 が"1010"、グループ 2 が"00*"となっており、"*"には、A0 端子の論理状態が入ります。グループ 2 の上位 2 ビットは"00"で固定です。

RX-8731 スレーブアドレス



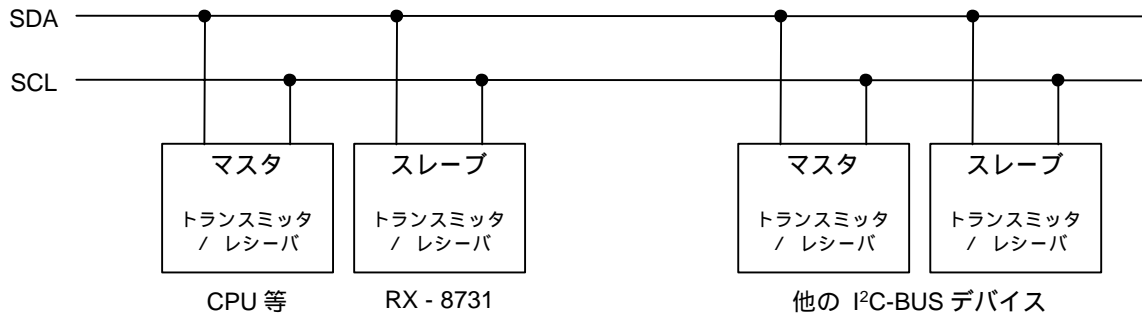
実際の通信時には、スレーブアドレスと共に、R/W (リードライト) ビットを付加した 8 ビットデータを送信します。



9.9.5. システム構成

メッセージの送受信を制御するデバイスを"マスタ"、マスタによって制御されるデバイスを"スレーブ"と定義します。また、メッセージを送信するデバイスを、"トランスミッタ"、メッセージを受信するデバイスを"レシーバ"と定義します。

RX-8731 の場合、CPU 等のコントローラがマスタ、RX-8731 がスレーブとなります。トランスミッタ、レシーバには双方とも成り得ます。



9.9.6. アクノリッジ

開始条件と停止条件との間で転送するデータのバイト数には、開始条件と停止条件の間隔が1秒以内であるかぎり、制限は有りません。

この時、1 バイトの転送毎に、レシーバ(受信側)は、トランスミッタ(送信側)に対し、アクノリッジビットというデータの受信確認のビットを生成します。アクノリッジビットはLOW アクティブですから、トランスミッタは SDA ラインを HIGH にし、アクノリッジビット用のクロックを送出します。

レシーバは、それまでにトランスミッタから送られた8ビットのデータを正しく受け取っていれば、最終ビット用のクロックが終了した時点で SDA ラインを LOW にします。I²C -BUS ラインはプルアップされているので、トランスミッタ側の SDA ラインも LOW になります。ここで、トランスミッタはアクノリッジが返って来たことを確認し、次のデータを送信します。レシーバは、アクノリッジビット用のクロックが終了した時点で、SDA ラインを HIGH (開放) にして次のデータ受信に備えます。

マスタがトランスミッタの時は、レシーバからのアクノリッジ確認後、次のデータ送受信をせずに停止条件を生成すれば、通信を正常終了することができます。マスタがレシーバの時は、アクノリッジビットを"1"として送出した後、停止条件を生成すれば通信を正常終了することができます。

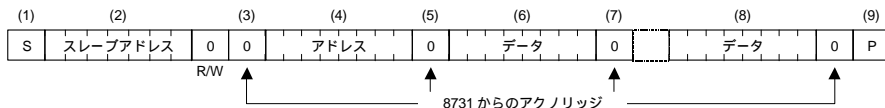
9.9.7. I²C-BUS プロトコル

以下に、マスタを CPU、スレーブを RX-8731 と想定して通信手順を記します。

アドレス指定の書き込み手順

RX-8731 はアドレスのオートインクリメント機能がありますので、最初にアドレス指定した後、データだけを送り続ければ、8731 の受け取りアドレスは 1 バイト毎に加算されます。

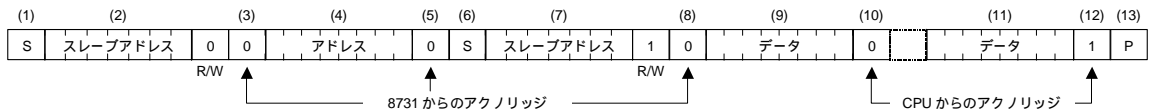
- (1) CPU が開始条件を送信
- (2) CPU が 8731 のスレーブアドレス、及び R/W ビットを書き込みモードで送出
- (3) 8731 からのアクノリッジ確認
- (4) CPU が 8731 へ書き込むアドレスを送出
- (5) 8731 からのアクノリッジ確認
- (6) CPU が(4)で指定したアドレスへ書き込むデータを送出
- (7) 8731 からのアクノリッジ確認
- (8) 必要に応じ(6)(7)のくり返し。アドレスは 8731 内部でオートインクリメント。
- (9) CPU が停止条件を送出



アドレス指定の読みだし手順

書き込みモードによって、リードするアドレスをライトした後、読みだしモードを設定して、実際のデータをリードします。

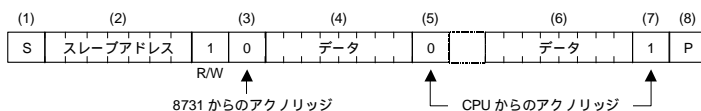
- (1) CPU が開始条件を送出
- (2) CPU が 8731 のスレーブアドレス、及び R/W ビットを書き込みモードで送出
- (3) 8731 からのアクノリッジ確認
- (4) CPU が 8731 から読みだすアドレスを送出
- (5) 8731 からのアクノリッジ確認
- (6) CPU が開始条件を送信 (停止条件は送信しない)
- (7) CPU が 8731 のスレーブアドレス、及び R/W ビットを読み出しモードで送出
- (8) 8731 からのアクノリッジ確認 (ここから、CPU がレシーバ、8731 がトランスミッタとなる)
- (9) 8731 から(4)で指定したアドレスのデータが出る
- (10) CPU が 8731 へアクノリッジ送出
- (11) 必要に応じ、(9)(10)のくり返し。読みだしアドレスは 8731 内部でオートインクリメント。
- (12) CPU が"1"のアクノリッジを出す
- (13) CPU が停止条件を送出。



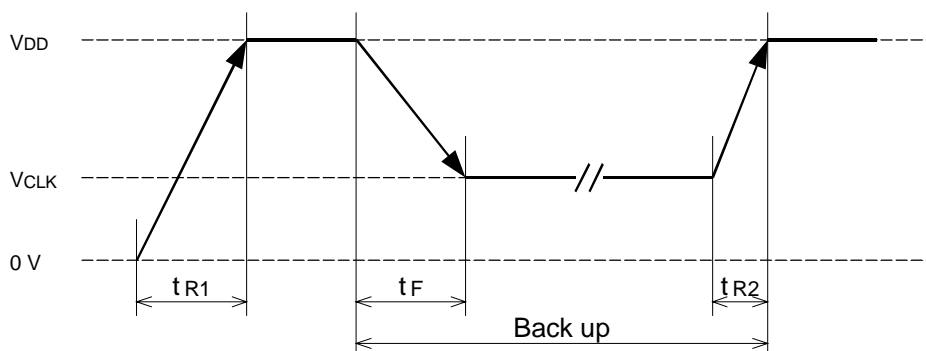
アドレス指定しない読み出し手順

最初に読みだしモードを設定することで、その後すぐにデータをリードできます。この場合のアドレスは、前回のアクセスで終了したアドレス+1 となります。

- (1) CPU が開始条件を送出
- (2) CPU が 8731 のスレーブアドレス、及び R/W ビットを読み出しモードで送出
- (3) 8731 からのアクノリッジ確認 (以降、CPU がレシーバ、8731 がトランスミッタとなる)
- (4) 8731 から、前回のアクセスにおける最終アドレス+1 のデータが出る
- (5) CPU が 8731 へアクノリッジ送出
- (6) 必要に応じ、(4)(5)のくり返し。読みだしアドレスは 8731 内部でオートインクリメント。
- (7) CPU が"1"のアクノリッジを出す
- (8) CPU が停止条件を送出。



9.10. バックアップへの移行 及び 復帰



項目	記号	Min.	Typ.	Max.
電源降下時間	t _F	2 μs / V		
初期電源立上時間	t _{R1}	1 μs / V		100 ms / V
初期電源立上後電圧レベル	V _{DD}	1.6V		5.5V
計時保持電源立上時間	t _{R2}	1 μs / V		

本製品を正常に動作させるためには、初期リセットをかける必要があります。初期リセットをかけるには、初期電圧は必ず(0V)から投入し、立上後は 1.6V 以上の電圧レベルになるようにしてください。

10. 参考資料

10.1. 参考データ

周波数温度特性例

$\theta_T = +25 \text{ }^\circ\text{C Typ.}$
 $\alpha = -0.035 \times 10^{-6} \text{ Typ.}$

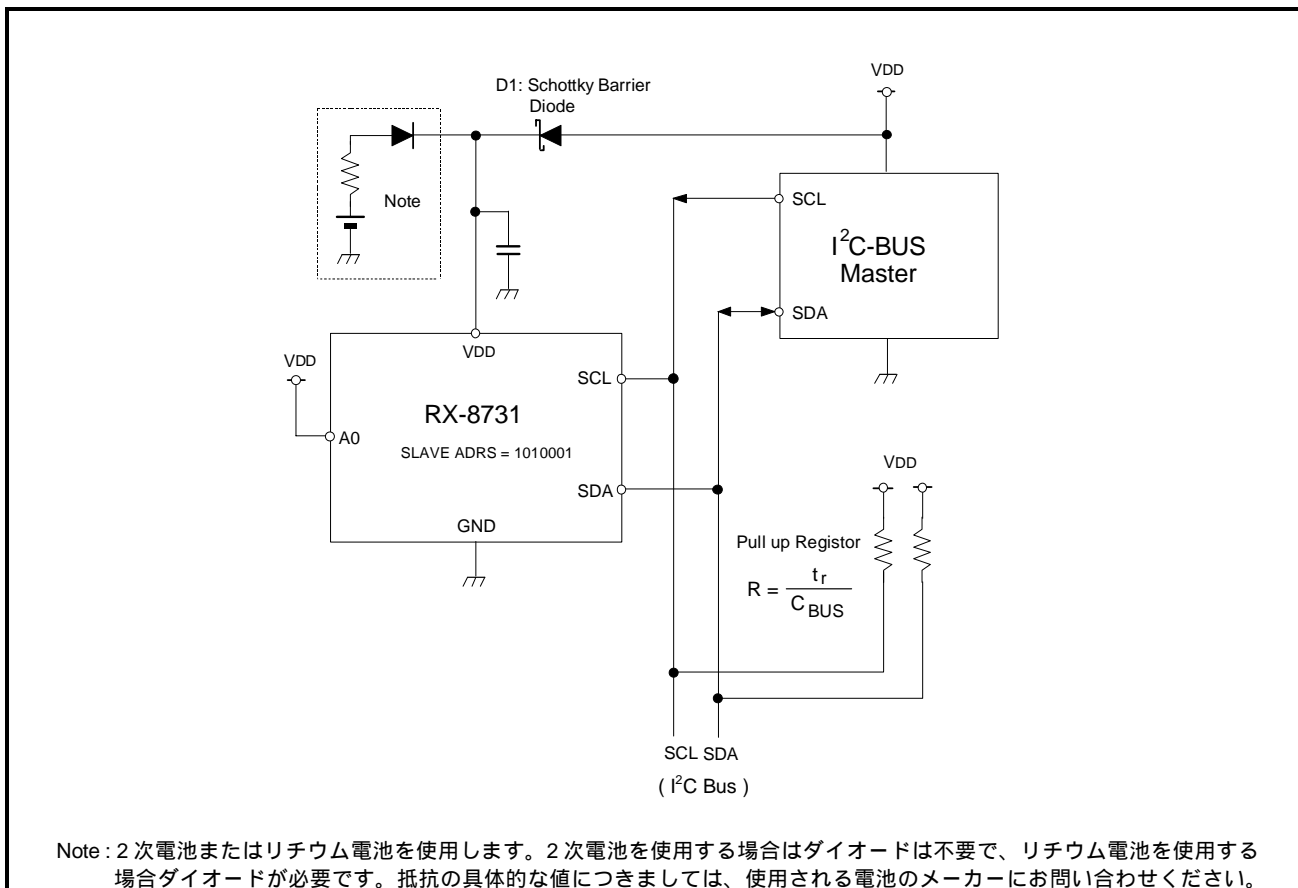
[周波数安定度の求め方]

- 周波数温度特性は、以下の式で近似できます。

$$\Delta f_T = \alpha (\theta_T - \theta_X)^2$$
 - Δf_T : 任意の温度における周波数偏差
 - $\alpha [1 / ^\circ\text{C}^2]$: 2次温度係数
 $(-0.035 \pm 0.005) \times 10^{-6} / ^\circ\text{C}^2$
 - $\theta_T [^\circ\text{C}]$: 頂点温度 (+25 ± 5 °C)
 - $\theta_X [^\circ\text{C}]$: 任意の温度
- 時計精度を求めるためには、更に周波数精度と電圧特性を加えます。

$$\Delta f/f = \Delta f/f_0 + \Delta f_T + \Delta f_V$$
 - $\Delta f/f$: 任意の温度, 電圧における時計精度 (周波数安定度)
 - $\Delta f/f_0$: 周波数精度
 - Δf_T : 任意の温度における周波数偏差
 - Δf_V : 任意の電圧における周波数偏差
- 日差の求め方
 日差 = $\Delta f/f \times 86400$ [秒]
 * たとえば、 $\Delta f/f = 11.574 \times 10^{-6}$ で
 約 1 秒/日の誤差になります。

10.2. 一般的なマイコンとの接続



1. 取り扱い上の注意事項

1) 取り扱い上の注意事項

本モジュールは水晶振動子を内蔵していますので、過大な衝撃・振動を与えないようにしてください。
また、低消費電力実現のために C-MOS IC を用いておりますので、以下に注意して使用してください。

(1) 静電気

耐静電気破壊保護回路は内蔵しておりますが、過大な静電気が加わると IC が破壊されるおそれがありますので、梱包 および運搬容器には導電性の物を使用してください。はんだごてや測定回路などは高電圧リークの無いものを使用し、また、実装時・作業時にも静電気対策をお願いいたします。

(2) ノイズ

電源 および 入出力端子に過大な外来ノイズが印加されると、誤動作やラッチアップ現象等による破壊の原因となることがあります。

安定動作のため、本モジュールの電源端子 (VDD - GND 間) の極力近い場所に 0.1 μ F 以上のバスコン(セラミックを推奨)を使用してください。また、本モジュールの近くには、高ノイズを発生するデバイスを配置しないようにしてください。

図 1 の網掛部分()には信号線を接近させず、可能であれば GND パターンで埋めてください。

(3) 入力端子の電位

入力端子が中間レベルの電位になることは、消費電力の増加、ノイズマージンの減少、素子の破壊等につながりますので、できるだけ VDD または GND の電位に近い電位に設定してください。

(4) 未使用入力端子の処理

入力端子の入力インピーダンスは非常に高く、開放状態での使用は不定電位やノイズによる誤動作の原因につながります。未使用の入力端子は、プルアップ または プルダウン抵抗による処理を必ず施してください。

2) 実装上の注意事項

(1) はんだ付け温度

パッケージ内部が +260 $^{\circ}$ C を越えまると、水晶振動子の特性劣化 および 破壊を招く場合がありますので、弊社ははんだ耐熱性評価プロファイルを越えない領域でのご使用を推奨します。ご実装前に必ず実装条件 (温度・時間) をご確認ください。また、条件変更時同様の確認をしていただいた後に ご使用ください。

図 2 に、弊社はんだ耐熱性評価プロファイル (Ref. JEDEC J-STD-020C) を掲載します。

(2) 実装機

本製品は裏面に硝子を使用しておりますので、使用機器、条件等によっては実装時の衝撃力により製品の破壊を招く場合があります。

ご使用前には必ず、実装時の製品への負荷が極力少なくなる条件 (基板上への搭載速度を遅くする、チャックを弱くするなど) を確認していただいてから ご使用ください。条件変更時も、同様の確認をしていただいてから ご使用ください。

本製品と実装基板の間に異物などがありますと、製品の破壊を招く場合があります。実装時には、異物にもご注意ください。

また、実装時・作業時には、静電気対策をお願いいたします。

(3) 超音波洗浄

超音波洗浄は、使用条件によっては内蔵の水晶振動子が共振破壊される場合があります。貴社での使用条件(洗浄機の種類、パワー、時間、槽内の状態等)を弊社にて特定できませんので、超音波洗浄の保証はいたしかねます。

(4) 実装方向

逆向きに実装しますと破壊の原因となります。方向を確認した上で実装を行なってください。

(5) 端子間リーク

製品が汚れていたり結露している状態などで電源投入しますと端子間リークを招く場合がありますので、洗浄しさらに乾燥させた後に電源投入を行なってください。

(6) 製品実装後の接着剤の使用

本製品は モールドパッケージの裏面に硝子を使用しております。

図 1 : GND パターン例

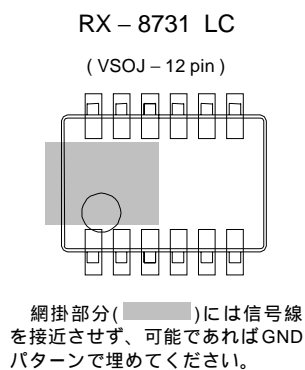
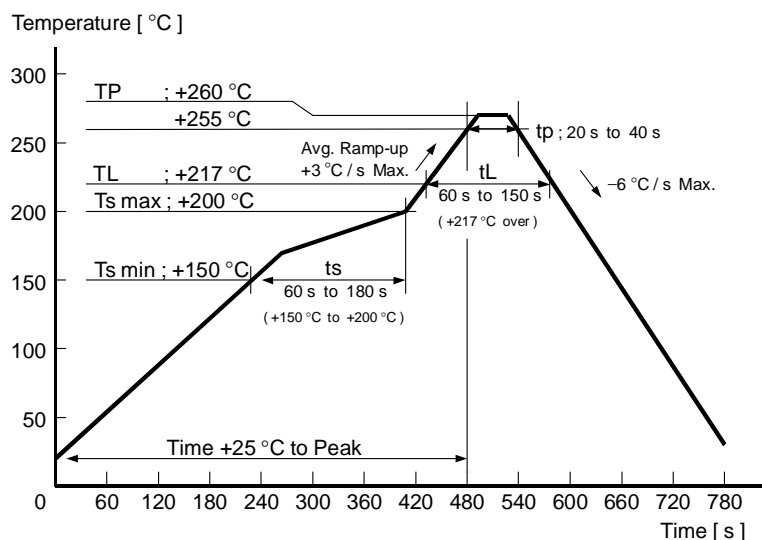


図 2 : 弊社はんだ耐熱性評価プロファイル (参考)





Application Manual

エプソントヨコム株式会社

〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5315 (直通) FAX (042) 587-5014

〒980-0013 仙台市青葉区花京院 1-1-20 花京院スクエア 19F
TEL (022) 263-7975 (直通) FAX (022) 263-7990

〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 17F
TEL (06) 6120-6520 (直通) FAX(06) 6120-6782

〒460-0008 名古屋市中区栄 1-10-21 名古屋御園ビル 6F
TEL (052) 205-8431 (直通) FAX (052) 231-2537

〒399-8707 塩尻市広丘原新田 80 セイコーエプソン(株) 広丘事業所 EBL 棟 2F
TEL (0263) 51-1050 (直通) FAX (0263) 54-6931

インターネットによる電子デバイス情報配信

<http://www.epsontoyocom.co.jp>

代理店
