



# 深圳市普天和科技有限公司

SHENZHEN PUTIANHE TECHNOLOGY CO.,LTD  
地址:深圳市宝安中心区华丰科技园(华美居)A区536  
Tel:86-755-27958528 Fax: 86-755-29766619

## FD650

### LED驱动控制/键盘扫描专用集成电路FD650

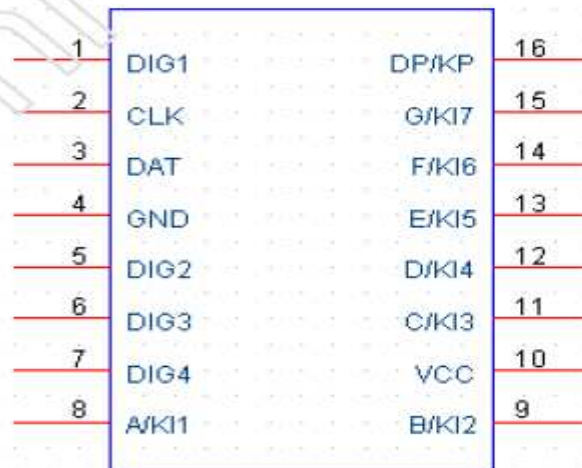
#### 一、概述

FD650是一种带键盘扫描电路接口的LED驱动控制专用电路。内部集成有MCU输入输出控制数字接口、数据锁存器、LED驱动、键盘扫描、辉度调节等电路。本芯片性能稳定、质量可靠、抗干扰能力强,可适应于24小时长期连续工作的应用场合。

#### 二、特性说明

- 显示模式: 8段×4位
- 段驱动电流不小于25mA, 字驱动电流不小于150mA
- 提供8级亮度控制
- 键盘扫描: 7×4bit
- 高速两线式串行接口
- 内置时钟振荡电路
- 内置上电复位电路
- 支持3V-5.5V电源电压
- 提供DIP16 (FD650K) 及SOP16 (FD650S) 封装

#### 三、管脚定义



FD-650

## FD650

### 四、管脚功能说明

符号	管脚名称	说明
DIG1~ DIG4	位/键扫描输出	LED位驱动输出，低电平有效，及作为键盘扫描输出，高电平有效
DAT	数据输入/输出	2线串行接口的数据输入输出。为内置上拉开漏模式。
CLK	时钟输入	2线串行接口的数据时钟输入，内置上拉电阻
A/KI1~ G/KI7	段驱动输出/键 扫描输入	LED段驱动输出，高电平有效，也用作键扫描输入，高电平有效，内置下拉
DP/KP	段/位输出	LED段输出，也用作键盘标志输出
VCC	电源端	3-5.5V
GND	接地端	接地

### 五、主要电气参数

极限参数 ( $T_a = 25^{\circ}\text{C}$ )

参 数	符 号	范 围	单 位
电源电压	VCC	-0.5 ~ +6.5	V
输入电压	V <sub>I1</sub>	-0.5 ~ VCC + 0.5	V
LED 段驱动输出电流	IO <sub>1</sub>	0 ~ 30	mA
LED 位驱动输出电流	IO <sub>2</sub>	0 ~ 150	mA
所有引脚驱动电流总和	IO	0 ~ 150	mA
工作温度	T <sub>opt</sub>	-40 ~ +85	°C
储存温度	T <sub>stg</sub>	-55 ~ +125	°C

## FD650

电气特性 (测试条件:  $T_a = 25^{\circ}\text{C}$ ,  $V_{CC} = 5\text{V}$ )

参 数	符 号	最 小	典 型	最 大	单 位
电源电压	VCC	3	5	5.5	V
电源电流	IC	0.2	80	150	mA
静态电流 (CLK、DAT、KP为高电平)	ICs		0.3	0.6	mA
睡眠电流 (CLK、DAT、KP为高电平)	ICslp		0.05	0.1	mA
CLK和DAT引脚低电平输入电压	VIL	-0.5		0.8	V
CLK和DAT引脚高电平输入电压	VIH	2.0		VCC+0.5	V
KI引脚低电平输入电压	VILki	-0.5		0.5	V
KI引脚高电平输入电压	VIHki	1.8		VCC+0.5	V
DIG引脚低电平输出电压 (-200mA)	VOLdig			1.2	V
DIG引脚低电平输出电压 (-100mA)	VOLdig			0.8	V
DIG引脚高电平输出电压 (5mA)	VOHdig	4.5			V
KI引脚低电平输出电压 (-20mA)	VOLki			0.5	V
KI引脚低电平输出电压 (20mA)	VOHki	4.5			V
其余引脚低电平输出电压 (-4mA)	VOL			0.5	V
其余引脚高电平输出电压 (4mA)	VOH	4.5			V
KI引脚输入下拉电流	IDN1	-30	-50	-90	uA
CLK引脚输入上拉电流	IUP1	10	200	300	uA
DAT引脚输入上拉电流	IUP2	150	300	400	uA
KP引脚输出上拉电流	IUP3	500	2000	5000	uA
上电复位的默认电压门限	VR	2.3	2.6	2.9	V



## FD650

内部时序参数 (测试条件:  $T_a = 25^\circ\text{C}$ ,  $V_{CC} = 5\text{V}$ )

参 数	符 号	最 小	典 型	最 大	单 位
电源上电检测产生的复位时间	TPR	10	25	60	ms
显示扫描周期	TP	4	8	20	ms
键盘扫描间隔, 按键响应时间	TKS	20	40	80	ms

注: 本表时序参数是内置时钟周期的倍数, 内置时钟频率随电源电压的降低而降低。

接口时序参数 (测试条件:  $T_a = 25^\circ\text{C}$ ,  $V_{CC} = 5\text{V}$ )

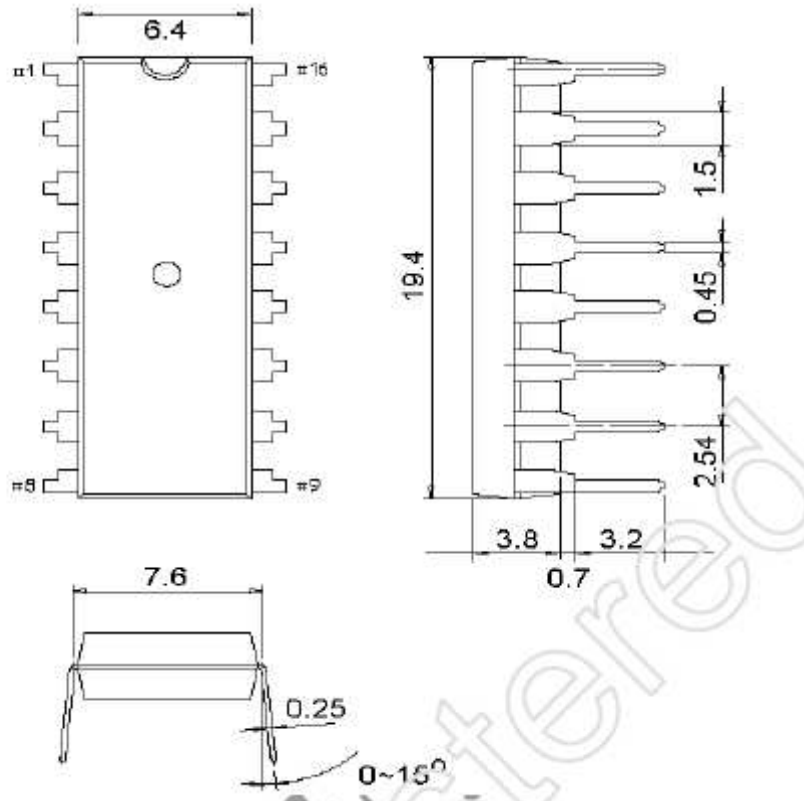
参 数	符 号	最 小	典 型	最 大	单 位
DAT下降沿启动信号的建立时间	TSSTA	100	-	-	ns
DAT下降沿启动信号的保持时间	THSTA	100	-	-	nS
DAT上升沿停止信号的建立时间	TSSTO	100	-	-	ns
DAT上升沿停止信号的保持时间	THSTO	100	-	-	ns
CLK时钟信号的低电平宽度	TCLW	100	-	-	nS
CLK时钟信号的高电平宽度	TCHIG	100	-	-	nS
DAT输入数据对CLK上升沿的建立时间	TSDA	30			nS
DAT输入数据对CLK上升沿的保持时间	THDA	10			nS
DAT输出数据有效对CLK下降沿的延时	TAA	2		30	nS
DAT输出数据无效对CLK下降沿的延时	TDH	2		40	nS
平均数据传输速率	Rate	0		4M	bps

注: 本表计量单位以纳秒即 $10^{-9}$ , 未注明最大值则理论值可以无穷大。

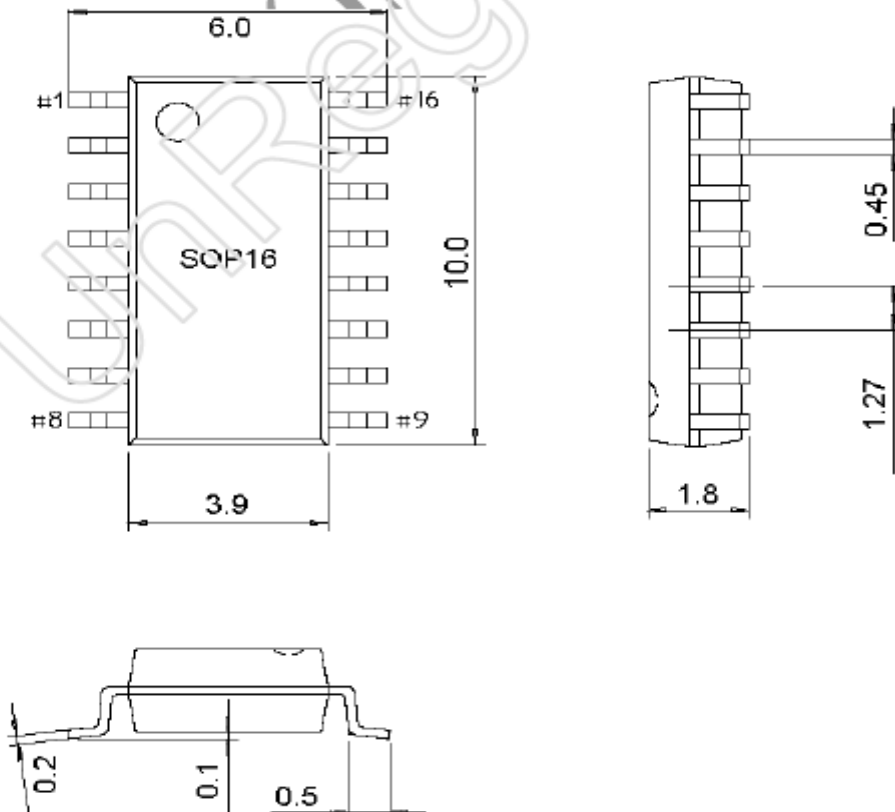
# FD650

## 六、封装尺寸

### (一) DIP16封装:



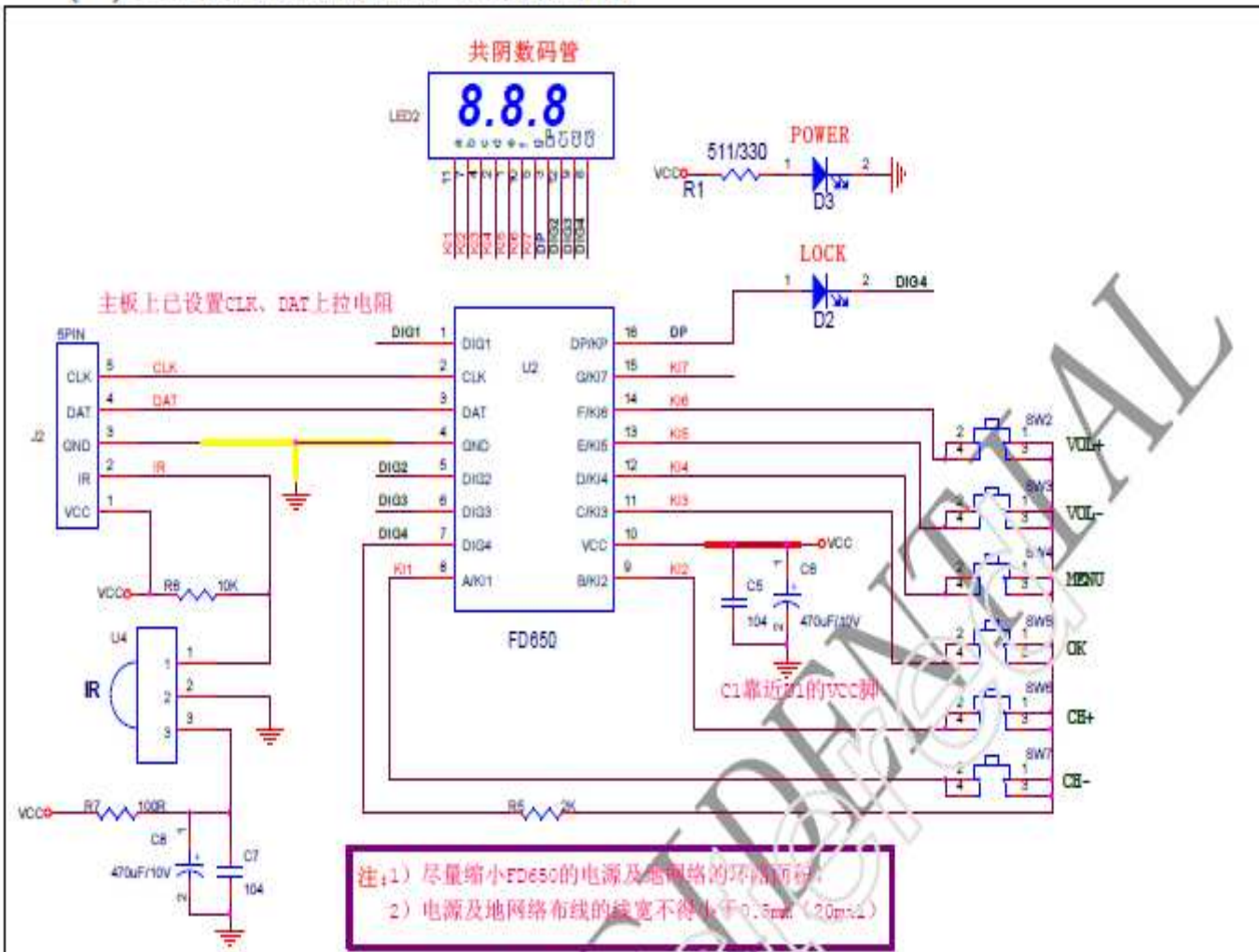
### (二) SOP16封装:



# FD650

## 七、应用电路

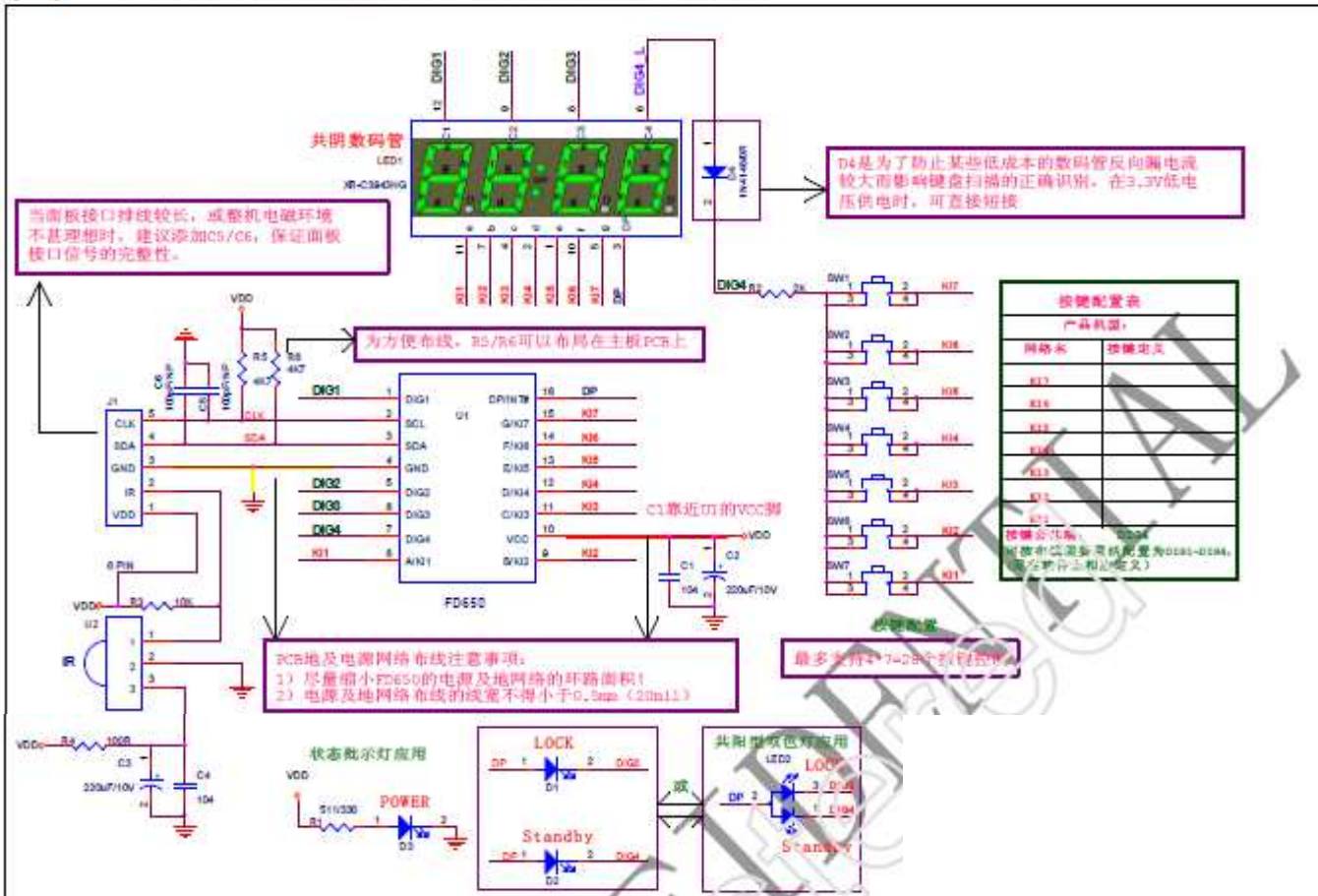
### (一)三位数码管应用电路（精简应用）





# FD650

## (二) 四位数码管应用电路（完整应用及说明）



## 八、应用说明：

一)、显示支持：FD650支持4\*8四位数码管或32个发光管应用，在数码管与发光管混合应用中，需注意：发光管所用到的段位不可和数码管有用位段重复。例如上图中数码管位1、3、4的小数点DP段本身为空段（管内未接该位段LED发光管芯），发光管的应用便是利用这类数码管中的空闲位段。

二)、键盘扫描：FD650具有4\*8=28键键盘扫描功能，如果应用中只需很少的按键，可以在4\*8矩阵中任意选择配置。为了防止键被按下后在KI信号线与DIG 信号线之间形成短路而影响显示，一般应该在FD650 的DIG1~DIG4 引脚与键盘矩阵之间串接限流电阻，其阻值可以从1KΩ至10KΩ。如上图中的R2

另外，由于某些低成本的数码管在较高工作电压时存在较大的反向漏电现象，容易被FD650误认为是某个按键一直按下，上图中D4可以防止此类数码管反向漏电，并提高键盘扫描时SEG0~SEG7 输入信号的电平，确保键盘扫描更可靠。当电源电压较低时（例如VCC=3.3V），这些二级管可以去掉以避免影响显示亮度。

### 三)、抗干扰措施：

1)、由于FD650驱动数码管或者LED的电流较大，会在电源上产生较大的毛刺电压，所以如果电源线或者地线的PCB 布线不合理，将有可能影响单片机或者FD650的稳定性，有关电源干扰的解决措施：

①、尽量缩小电源及地网络环路的面积；并尽量为电源及地网络提供不小于0.5mm的走线宽度。

②、在FD650的电源和地之间，至少需一只0.1uF的独石或者瓷片电容和一只容量不小于100uF 的电解电容进行退耦合。同时0.1uF电容应在电源和地引脚之间就近接入（在首先保证地环路通畅的情况下，尽量靠近FD650的电源引脚布局）

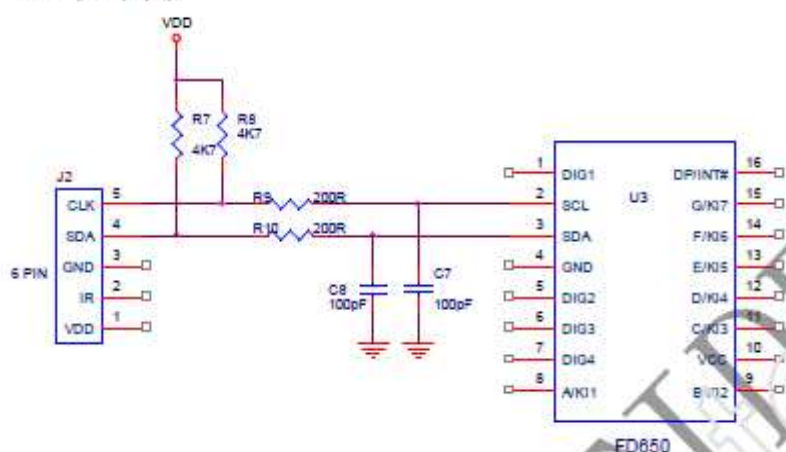
## FD650

2)、在接口排线较长或整机电磁环境不甚理想时。FD650的信号接口将可能引入干扰，此时建议：

- ① 在FD650的DAT及CLK引脚端，增加47pF到470pF滤波电容。（如上图C5、C6）
- ② 为FD650信号接口增加上拉电阻：

如果与FD650通信的信号接口是传统的准双向I/O口（例如：标准的MCS51单片机），则建议增加上拉电阻R5、R6，其值可以是500Ω到10KΩ，以加强接口的驱动能力，以便长距离传输时保证较好的信号完整性。在信号线较短的情况或是对于图腾柱驱动方式的双向I/O接口，则无需添加上拉电阻。

- ③ 对于一些如电磁炉等较强干扰环境的应用，建议采用以上两措施的同时，适当调低FD650与单片机的工作频率，并可选地在DAT及CLK上串接电阻，阻值可以是100Ω~470Ω，如下图：



另外，强干扰的应用环境，还可以通过对上位机的软件配置，每隔数秒定期对FD650进行刷新，包括重新加载各个数码管的数据寄存器，以及重新开启显示来优化抗干扰性。